МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное
образовательное учреждения
высшего профессионального образования
«Казанский (Приволжский) федеральный университет»

ИНСТИТУТ ФИЗИКИ

КАФЕДРА РАДИОЭЛЕКТРОНИКИ

Направление: 011800.62 - радиофизика

ВЫПУСКНАЯ КВАЛИФИКАЦИОННАЯ РАБОТА

(Бакалаврская работа)

Разработка лабораторного практикума: «Исследование RS- и JK-триггеров»

Работа завершена:

"__"_____2015 г. _____ (А.Д. Гайнуллин)

Работа допущена к защите:

Научный руководитель

к.ф.-м.н., доцент

"__"_____2015 г. _____ (И.А. Насыров)

Заведующий кафедрой

д.ф.-м.н., профессор

"__"_____2015 г. _____(М.Н. Овчинников)

Казань-2015

Содержание

Введение…….....3

Глава 1. Общие сведения о триггерах

1.1 Простейший триггер……..……..……. ……...6

1.2 Классификация триггеров……...…...…….…….....8

1.3 Одноступенчатые триггеры….…….....10

1.4 Двухступенчатые триггеры……...….…….....17

1.5 Триггеры с динамическим управлением…….....20

Глава 2. Описание лабораторных работ

2.1 Лабораторная работа №1: «Исследование RS-триггера»…….22

2.2 Лабораторная работа №2: «Исследование JK-триггера»…….....30

Заключение…….....36

Литература……....37

Введение

Современная электроника продолжает развиваться всё больше и больше. Однако в большинстве современных сложных устройств, в том числе и компьютерах, немаловажную роль играют элементы памяти. Простейшим таким элементом является триггер и его разновидности. Триггер – это устройство с двумя устойчивыми состояниями, переходящее из одного состояния в другое под действием внешних напряжений. Триггер способен сохранять сколь угодно долго устойчивое состояние и после снятия внешнего воздействия, поэтому он и используется в качестве элемента памяти.

В данной бакалаврской работе ставится задача проектирования схем триггеров в среде графического программирования LabView для лабораторной установки NIELVISII^{+}. Эта работа будет помогать студентам выполнять лабораторные работы, связанные с триггерами и является своеобразным пособием.

В теоретической части будет рассказаны основные принципы работы элементов, памяти, приведены схемы, поясняющие работу отдельных частей. В практической части описаны основные шаги создания проектов в среде LabView, а также отдельно рассмотрено создание конкретных схем RS- и JK-триггеров.

Все техническое проектирование данной бакалаврской работы будет реализовано на образовательной платформе NI ELVIS II+ с отладочной платой DE FPGA Board. (Рис.1.1).

FPGA – Field Programmable Gate Array (дословно переводится как «массив логических вентилей, программируемых в условиях эксплуатации»), это «сверхбольшая» интегральная схема (СБИС) с массивом логических вентилей, не соединенных между собой функциональными связями в процессе производства. Конфигурация этих связей, определяющая функциональное назначение FPGA в качестве компонента аппаратуры. Таким образом, FPGA – это программируемая логическая интегральная схема – ПЛИС.

Как правило, проектирование устройств на базе ПЛИС выполняется с помощью специализированных программных инструментов разработки и языков программирования, например, VHDL или Verilog, освоение которых требует значительных усилий. Модуль LabVIEW FPGA дополняет базовый пакет LabVIEW возможностью реализации целевых систем с ПЛИС на платформе реконфигурируемого ввода/вывода NI Reconfigurable I/O. Таким образом, ученые и инженеры могут использовать преимущества в

производительности и гибкости ПЛИС, при этом изучение инструментов низкоуровневого проектирования не требуется.

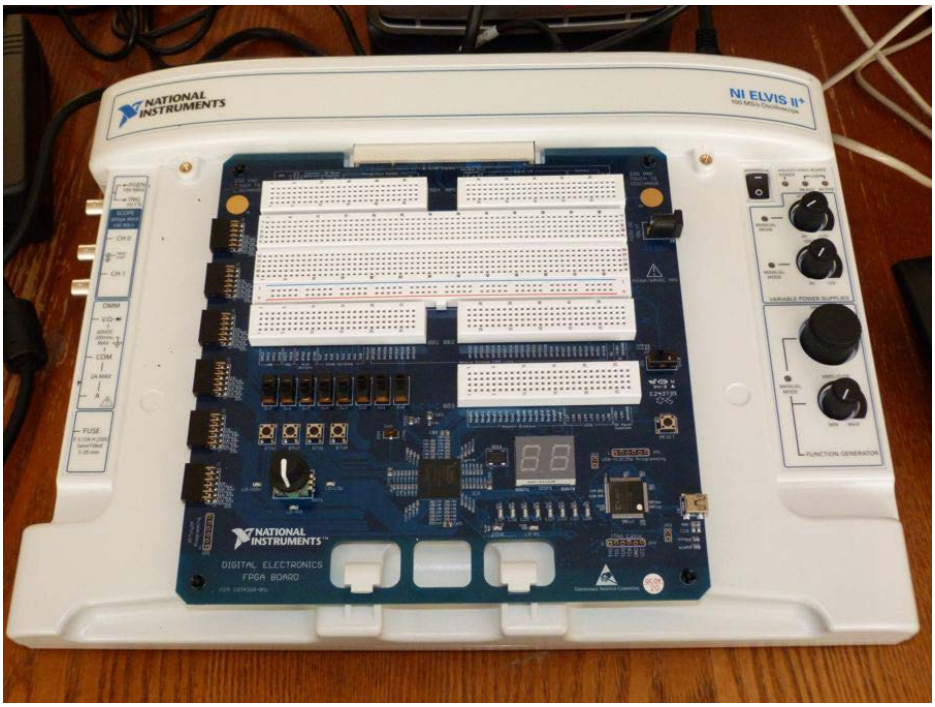


Рис.1.1 Внешний вид станции ELVIS II+ с отладочной платой DE FPGA Board

Подача сигнала на входы в проекте должен быть реализован с помощью трех движковых переключателей SW0 – SW2, которые находятся на отладочной плате DE FPGA Board (рис.1.2).

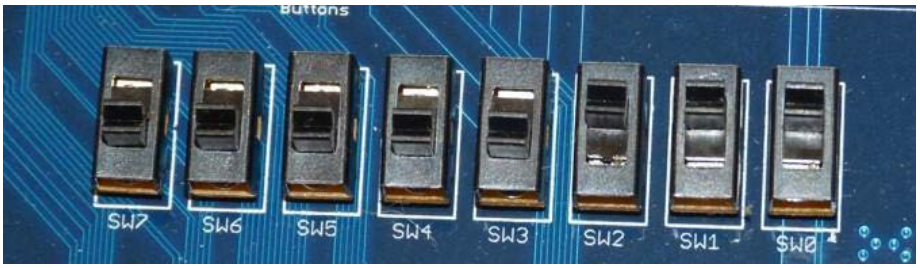


Рис.1.2 Движковые переключатели

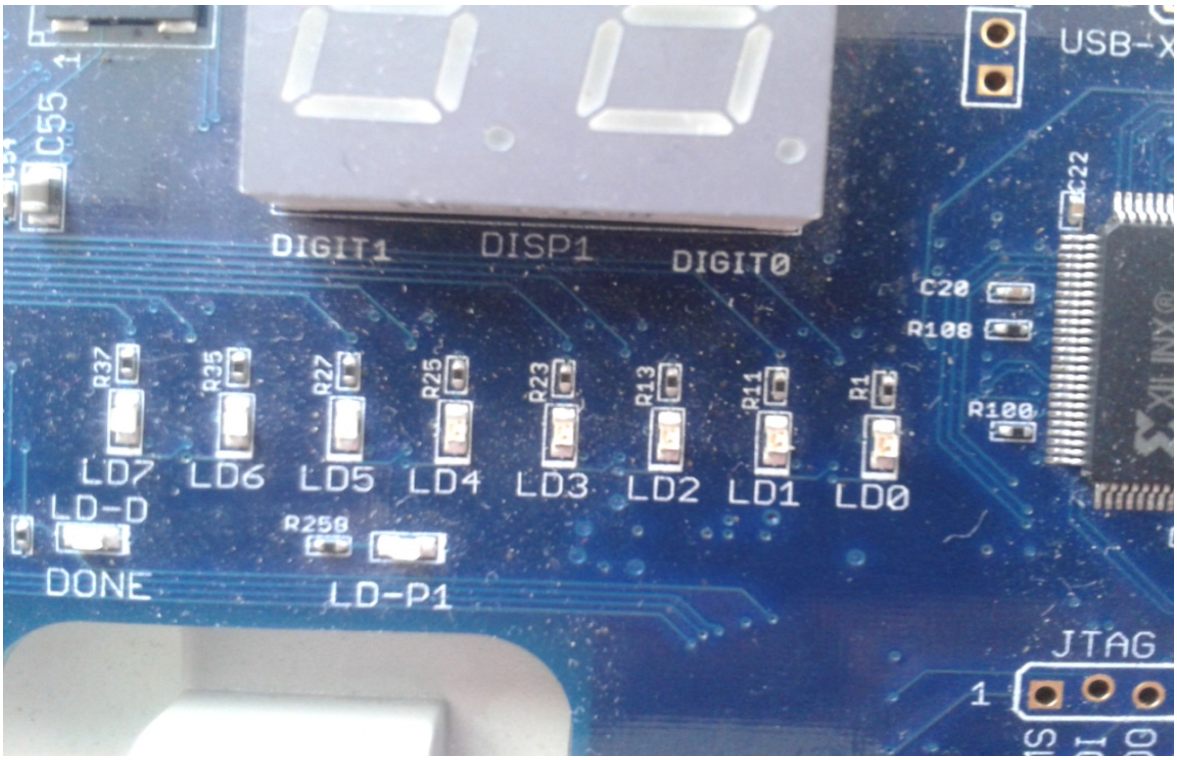


Рис.1.3 Вывод сигнала Q1 и Q2 происходит на элементы LD0 и LD1 соответственно

Целью работы является разработка лабораторного практикума и написание методического материала по курсу радиоэлектроника.

Для реализации поставленных целей нужно решить следующие задачи**:**

1) Изучение среды графического программирования LabView.

2) Изучение платформы NI Elvis II+.

3) Изучение основной теории о триггерах.

4) Провести исследования по данной теме.

5) Построение триггерных схем с помощью среды графического программирования LabView с использованием таблицы истинности и функции алгебры логики.

Глава 1. Общие сведения о триггерах

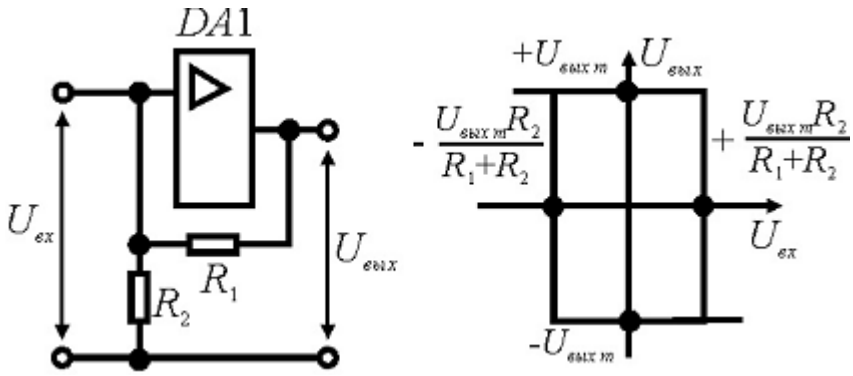
Особенностью последовательностных логических устройств является зависимость выходного сигнала не только от действующих в настоящий момент времени на входе логических переменных, но и от тех значений переменных, которые действовали на входе в предыдущие моменты времени. Очевидно, что для выполнения этого условия значения переменных должны быть запомнены логическим устройством. Функцию запоминания значений логических переменных в цифровых схемах выполняют так называемые триггеры. Таким образом, триггерный элемент, выполняя функции памяти, является неотъемлемой частью любого последовательностного устройства.

Триггером называется устройство, способное формировать два устойчивых значения выходного сигнала и скачкообразно изменять эти значения под действием внешнего управляющего сигнала. Именно способность формировать на выходе два устойчивых значения сигнала, которые могут поддерживаться без изменения сколь угодно длительный промежуток времени, и позволяет применять триггер в качестве элемента памяти.

В общем случае триггер содержит собственно элемент памяти и некоторую входную комбинационную схему, преобразующую входные сигналы триггера в сигналы, требуемые для управления элементом памяти.

1.1 Простейший триггер

Простейший триггер состоит только из элемента памяти, который может быть реализован на основе усилителя, охваченного глубокой положительной обратной связью (ПОС). В частности, роль триггера может выполнять операционный усилитель с цепью положительной обратной связи.



1.4 Принципиальная схема и передаточная характеристика гистерезисного компаратора

Если на входе компаратора действует напряжение

-UвыхmR2/(R1 + R2) <Uвх< +UвыхmR2/(R1 + R2) (1.1)

выходной сигнал компаратора неизменен и определяется только предыдущим значением входного сигнала, удовлетворяющего неравенству

Uвх>|Umaxm| R2/(R1 + R2) (1.2)

В качестве базовых узлов, на основе которых может быть построен триггер, могут использоваться и элементы И-НЕ или ИЛИ-НЕ, передаточная характеристика которых подобна характеристике инвертирующего усилителя. Так как для построения триггера исходный усилитель должен быть охвачен цепью ПОС, необходимо взять два элемента. В этом случае простейший триггер, включающий только непосредственно элемент памяти, имеет вид, показанный на рис. 1.5.

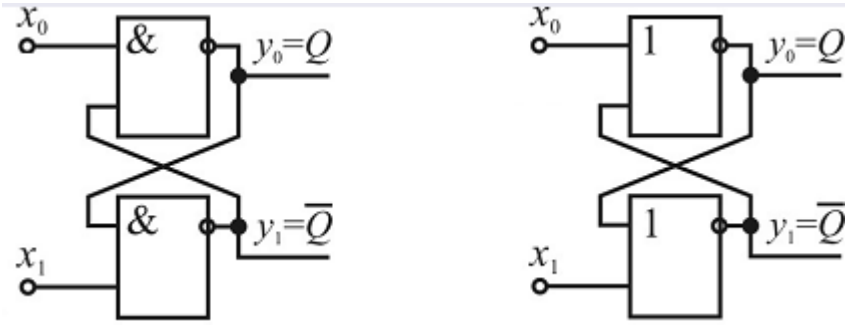


рис. 1.5

Такой элемент содержит два информационных входа, на которые подаются входные переменные x1 и x0, и два выхода, с которых снимаются сигналы y1 и y0, причем, если

y0 = 1, то y1 = 0 (1.3)

y0 = 0, то y1 = 1

Данные выражения называются постулатом триггера.

При описании триггера также пользуются понятием активного логического уровня. Для изменения выходного сигнала триггера, или, как принято говорить, для изменения его состояния, на вход схемы на рис. 1.6 (а), выполненной на элементах И-НЕ, следует подать сигнал x = 0. Для переключения триггера, выполненного на элементах ИЛИ-НЕ (рисунок (б)), требуется сигнал x = 1. Для обоих триггеров, если x0= 0, а x1= 1, то y0= 1 и y1= 0. Однако в триггере на рис. (а) активным определяющим сигналом будет x0= 0, а в триггере на рис. (б) -x1= 1.

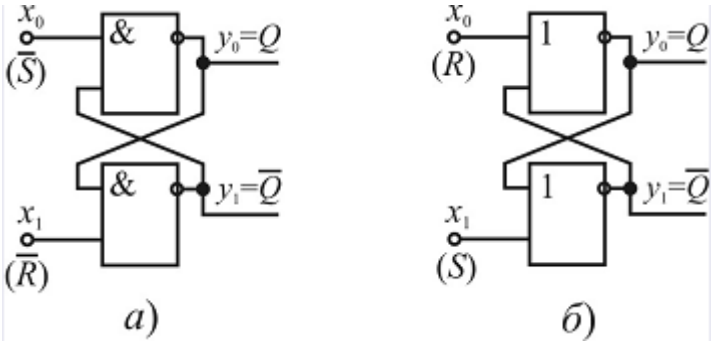


рис. 1.6

При описании работы триггера приняты следующие соглашения:

- если Q = 1, а Q = 0, то триггер находится в состоянии установки, или просто установлен;
- если Q = 0, а Q = 1, то триггер находится в сброшенном состоянии, или просто сброшен.

1.2 Классификация триггеров

Существующие типы триггеров могут быть классифицированы по различным признакам.

Классификация по типу информационных входов.

Различают следующие типы основных информационных входов триггера:

R — раздельный вход сброса триггера (Q = 0);

S — раздельный вход установки триггера (Q = 1);

K — вход сброса универсального триггера (Q = 0);

J — вход установки универсального триггера (Q = 1);

T — счетный вход триггера;

D — информационный вход переключения триггера в состояние, соответствующее логическому уровню на этом входе;

C — управляющий или синхронизирующий вход.

Кроме этих основных входов некоторые триггеры могут снабжаться входом V. Вход V блокирует работу триггера, и он сколь угодно долго может сохранять ранее записанную в него информацию. С точки зрения типа используемых входов различают RS–, D–, T –, JK–, VD– и VT–триггеры.

Классификация по моменту реакции на входной сигнал.

Асинхронные триггеры.

Асинхронный триггер изменяет свое состояние непосредственно в момент изменения сигнала на его информационных входах, т. е. его непосредственная реакция на изменение входного сигнала подобна реакции комбинационного элемента.

Синхронные триггеры.

Синхронный триггер изменяет свое состояние лишь в строго определенные (тактовые) моменты времени, соответствующие действию активного сигнала на его синхронизирующем входе C, и не реагирует на любые изменения информационных сигналов при пассивном значении сигнала на входе C.

Классификация по виду активного логического сигнала.

По виду активного логического сигнала, действующего на информационных входах, триггеры различают на:

- статические — управляемые уровнем;
- динамические — управляемые перепадом входного сигнала.

Сами входы могут быть прямыми и инверсными. Для переключения триггера на его прямой вход необходимо подать сигнал x, а на инверсный — сигнал $\bar{x}$.

Описание триггера.

Определение «синхронный RS-триггер с инверсными статическими входами» означает, что рассматриваемый триггер имеет три информационных входа: вход установки S, вход сброса R и синхронизирующий вход C; переключение триггера происходит в моменты времени, определяемые появлением активного логического сигнала на входе синхронизации (C = 0), причем для переключения на входы R или S необходимо подать низкий логический уровень, т. е. сигнал лог.0 (R = 0 или S = 0). Такие входы соответственно обозначают $\overline{C}$, $\overline{R}$и $\overline{S}$.

Таблицы переходов.

Для описания работы триггера аналогично комбинационным схемам могут быть использованы словесное описание, таблицы истинности, логические выражения. Особенностью такого описания является использование в качестве дополнительной входной переменной значения сигнала Qn, т. е. предыдущего значения выходного сигнала триггера. Однако наиболее часто для описания работы триггера используют таблицы переходов, определяющие, какие логические сигналы необходимо подать на его информационные входы для перехода из заданного состояния Qn в заданное состояние Qn+1.

1.3 Одноступенчатые триггеры

Асинхронный RS–триггер снабжен только двумя информационными входами: входом сброса R и входом установки S, это простейший элемент памяти, который может быть реализован на элементах И-НЕ или ИЛИ-НЕ.

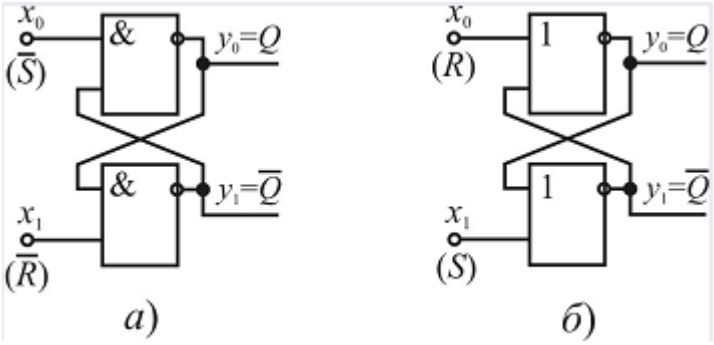


рис. 1.7

В зависимости от того, на каких элементах данный триггер собран, он обладает либо инверсными, либо прямыми информационными входами.

Таблица переходов RS–триггера на элементах И-НЕ

Q_n	Q_{n+1}	R	S
0	0	–	1
0	1	1	0
1	0	0	1
1	1	1	–

Таблица переходов RS–триггера на элементах ИЛИ-НЕ

Q_n	Q_{n+1}	R	S
0	0	–	0
0	1	0	1
1	0	1	0
1	1	0	–

Из приведенных таблиц следует, что триггер на элементах И-НЕ снабжен инверсными, а на элементах ИЛИ-НЕ - прямыми информационными входами. Причем эти входы статические. Условные обозначения данных триггеров с учетом типа используемых информационных входов приведены соответственно на рис. 1.8.

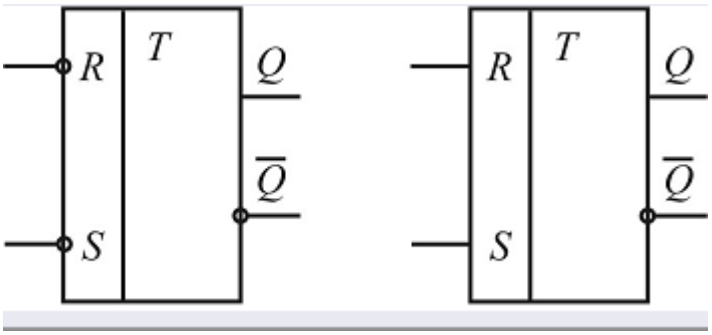


рис. 1.8

Допустим, что на оба информационных входа триггера подан активный логический сигнал. Например, для триггера на рисунке (а) R = S = 0. Но в этом случае Q = Q = 1, что противоречит постулату триггера, и при одновременном снятии информационных сигналов (R = S = 1) состояние триггера будет непредсказуемо. Следовательно, при использовании рассмотренных ранее схем в качестве элемента памяти подача на оба

информационных входа активных логических сигналов запрещена, хотя сам факт подачи такой комбинации сигналов вполне допустим.

ФАЛ, описывающая работу триггера.

Таблица истинности RS–триггера на элементах ИЛИ-НЕ

S	R	Q_n	Q_{n+1}
0	–	0	0
1	0	0	1
0	1	1	0
–	0	1	1

Карта Вейча

	$\bar{R}$	R	$\bar{R}$	$\bar{R}$
Q_n	0	1	1	1
$\bar{Q}_n$	0	1	1	0
	$\bar{S}$	S	S	$\bar{S}$

Если на информационных входах триггера действуют пассивные логические уровни (R = S = 0), состояние триггера остается неизменным:

Qn+1 = Qn. (1.4)

Если на информационные входы триггера подать активные логические уровни (R = S = 1), то состояние триггера будет непредсказуемым, так как выходной сигнал Qn+1 одновременно должен принимать два взаимоисключающих значения (0 и 1). Таким образом данная ФАЛ имеет два факультативных значения. Определим возникшие факультативные значения выходной функции Qn+1 для R = S = 1 как сигнал лог.1. После минимизации получаем ФАЛ вида:

$Qn+1 = S + Qn\bar{R}$ (1.5)

Для триггера с инверсными информационными входами (на базе элемента И-НЕ) аналогично можно получить:

$-Qn+1 = \bar{S} + QnR$ (1.6)

Синхронный RS–триггер

Синхронный RS–триггер может быть получен на базе асинхронного RS–триггера введением дополнительной логической схемы, которая

формировала бы на его входах активные логические уровни только при наличии дополнительного сигнала синхронизации. Синтезируем такую схему. Предположим, что триггер снабжен прямым входом синхронизации. Информационные входы R– и S–триггера тоже прямые. В этом случае таблица истинности дополнительной схемы будет иметь вид:

C	$R_{Вх}$	$S_{Вх}$	$R_{Вых}$	$S_{Вых}$
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0

Синхронный RS–триггер.

ФАЛ, описывающая работу триггера.

С использованием полученной таблицы минимизируем ФАЛ для SВых и RВых.

	$S_{Вых}$			
	R	R	$\bar{R}$	$\bar{R}$
C	0	1	1	0
$\bar{C}$	0	0	0	0
	$\bar{S}$	S	S	$\bar{S}$

	$R_{Вых}$			
	R	R	$\bar{R}$	$\bar{R}$
C	1	1	0	0
$\bar{C}$	0	0	0	0
	$\bar{S}$	S	S	$\bar{S}$

Откуда получаем, что SВых = CS, RВых = CR. Подставим получившиеся выражения в ФАЛ для асинхронного RS–триггера, получим:

$$Qn+1 = Qn\bar{C} + C(S + Qn\bar{R}) \qquad (1.7)$$

Из анализа полученного выражения можно сделать следующие выводы:

данная ФАЛ содержит два слагаемых;

- первое слагаемое представляет логическое произведение активного логического уровня сигнала синхронизации на ФАЛ, описывающую работу асинхронного триггера;
- второе слагаемое представляет логическое произведение пассивного логического уровня сигнала синхронизации на предыдущее состояние триггера.

Структурные схемы синхронных RS–триггеров

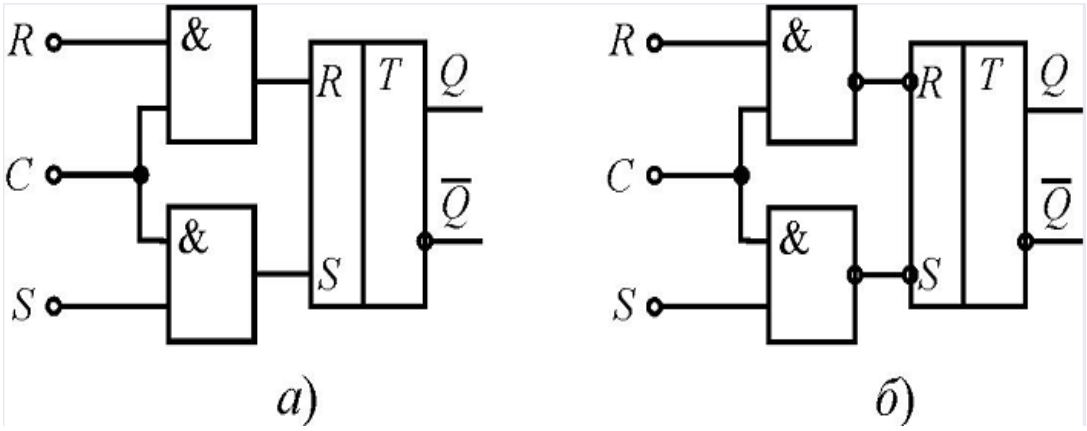


рис. 1.9 Схемы синхронных RS–триггеров на основе асинхронных триггеров с прямыми (а) и инверсными (б) входами

Синхронный RS–триггер.

Синхронные RS-триггеры могут быть дополнены асинхронными установочными входами, сигналы которых подаются непосредственно на элемент памяти и поэтому обладают более высоким приоритетом, чем сигналы синхронных входов (рисунок (а)). При использовании для построения синхронного триггера однотипных логических элементов (И-НЕ или ИЛИ-НЕ) его синхронные и асинхронные входы управляются различными активными логическими уровнями. В случае элементов И-НЕ для синхронных входов активными является сигнал лог.1, а для асинхронных входов — лог.0. Условное графическое изображение синхронного RS–

триггера с прямыми информационными и инверсными установочными входами показан на рисунке 1.10 (б).

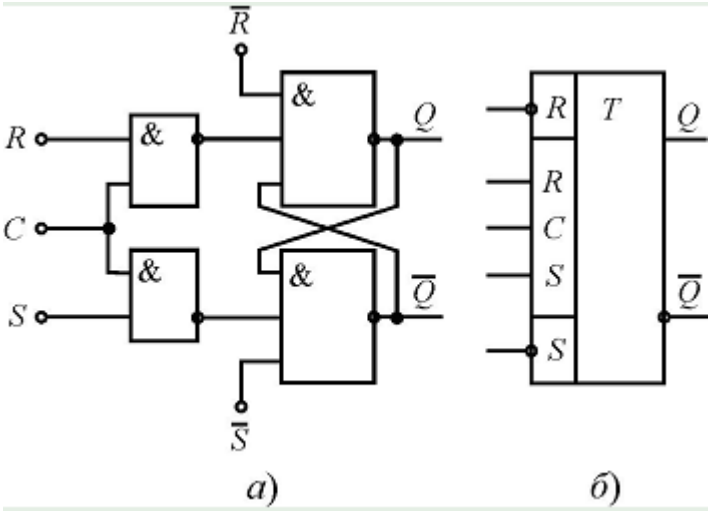


рис. 1.10

D–триггер обычно снабжен только одним информационным входом. Этот вход D, информация с которого по определению входа переписывается на выход триггера только по сигналу синхронизации. Из сказанного следует, что D–триггер может быть только синхронным. Составим таблицу переходов для D–триггера.

C	D	Q_n	Q_{n+1}
1	0	0	0
1	1	0	1
1	0	1	0
1	1	1	1
0	0	0	0
0	1	0	0
0	0	1	1
0	1	1	1

Информация на выходе D–триггера остается неизменной вплоть до прихода очередного импульса синхронизации, данный триггер часто называют триггером с запоминанием информации, или триггером защелкой.

Структурная схема.

Синтезируем структуру D–триггера на основе синхронного RS–триггера. Очевидно, что для реализации алгоритма работы, описанного в

таблице истинности D–триггера, сигналы на его R и S входах должны быть связаны с сигналом на D–входе следующими соотношениями: $R = \overline{D}$, $S = D$. Подставим эти соотношения в ФАЛ RS–триггера и получим выражение, описывающее работу D–триггера:

$$Qn1 = \overline{C}Qn + CD \qquad (1.8)$$

Структурная схема, удовлетворяющая полученной ФАЛ, и условное графическое изображение D-триггера, приведены на рис. 1.11.

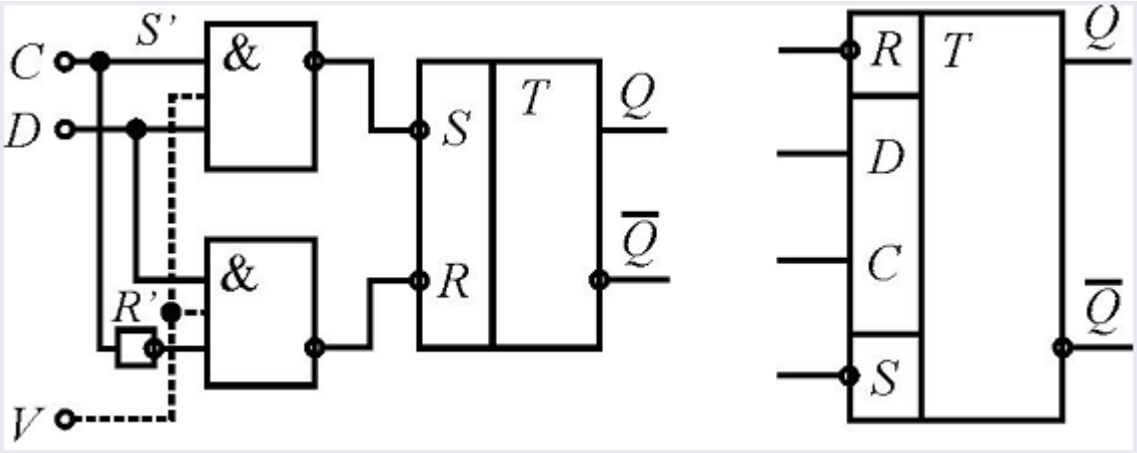


рис. 1.11

VD–триггер.

Разновидностью D–триггера является VD–триггер. Этот триггер дополнительно снабжен входом разрешения работы V, который блокирует его работу. По сути, действие данного входа аналогично действию входа C. Поэтому структурно этот вход может быть выполнен, например, как объединение дополнительных входов элементов И-НЕ входной логики триггера. При V = 1 поведение триггера полностью соответствует выражению, описывающему работу D–триггера. При V = 0 триггер хранит записанную ранее в него информацию:

$$Qn+1=Qn. \qquad (1.9)$$

D–триггер также может быть снабжен дополнительными входами асинхронной установки. С учетом входа блокировки V и инверсных асинхронных входов установки R и S ФАЛ D–триггера имеет вид:

$$Qn+1 = [V\,(CQn + CD) + \overline{V}\,Qn + \overline{S}]\,R \qquad (1.10)$$

1.4 Двухступенчатые триггеры

Т–триггер, или, как его называют, счетный триггер, согласно определению входов должен изменять свое состояние по каждому активному логическому сигналу, действующему на информационном входе Т. Данному алгоритму работы соответствует таблица переходов:

T	Q_n	Q_{n+1}
0	0	0
1	1	0
1	0	1
0	1	1

Здесь активным считается сигнал лог.1. Работа триггера описывается выражением:

$$Qn+1 = Qn\overline{T} + \overline{Q}nT. \qquad (1.11)$$

Используя данное выражение и замечания, сделанные при рассмотрении синхронного RS–триггера, можно получить выражение для синхронного Т-триггера:

$$Qn+1 = (Qn\overline{T} + \overline{Q}nT)C + Qn\overline{C}. \qquad (1.12)$$

Реализация данного режима работы с использованием простейшего элемента памяти требует подачи на последний для каждого последующего подключения инверсных значений входных сигналов. Такой режим обеспечивается введением в RS– или D–триггер цепей дополнительной обратной связи.

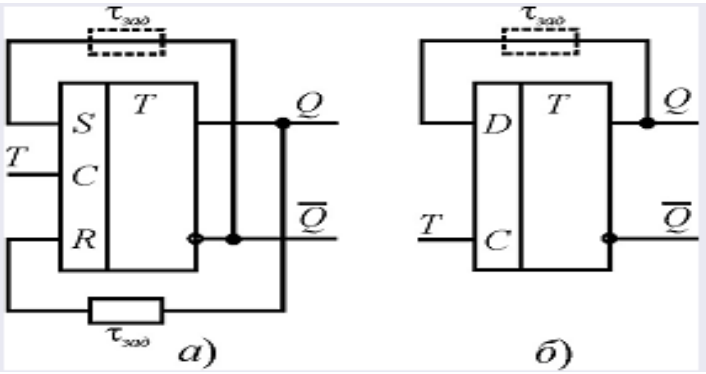


рис. 1.13 Асинхронные Т–триггеры на основе RS- (а) и D–триггеров (б)

Полученные структуры соответствуют алгоритму работы Т–триггера. Однако на практике они не могут обеспечить его надежное функционирование. В данном случае элемент памяти одновременно должен выполнять две взаимоисключающие функции. С одной стороны, он должен быть источником информации, а с другой, ее приемником. Одновременное выполнение этих функций одним триггером невозможно, так как прием новой информации автоматически означает потерю старой.

В двухступенчатом триггере противоречия между процессами хранения старой и приемом новой информации решены введением второго запоминающего элемента. При этом новая информация формируется сначала только во входной ступени триггера при сохранении старой информации в выходной его ступени. Когда новое состояние входной ступени сформировано и снят активный уровень сигнала со входа, происходит ее перезапись в выходную ступень устройства. Таким образом, двухступенчатый триггер фактически состоит из двух последовательно соединенных триггеров — ведущего и ведомого. Для устранения режима автоколебаний синхронизация работы ведущего и ведомого триггеров осуществляется инверсными логическими уровнями. Часто двухступенчатый триггер называют MS–триггером (от английских слов master и slave — хозяин и раб).

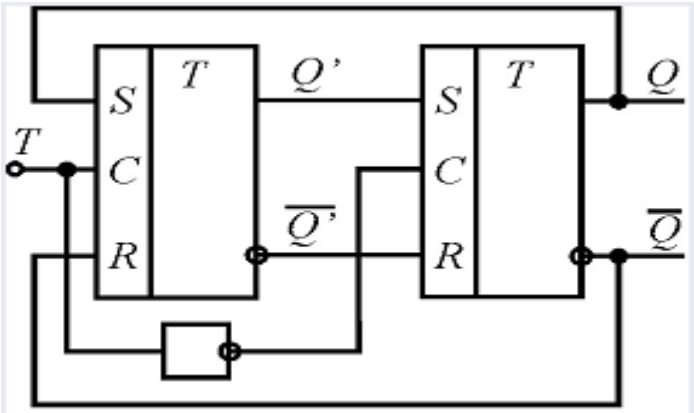


рис. 1.14

JK–триггер является наиболее универсальным триггером, так как на его основе могут быть выполнены любые из описанных ранее типов триггеров. В

отличие от RS-триггера JK-триггер не имеет запрещенных комбинаций входных сигналов, и его таблица переходов в предположении, что его активным является сигнал лог.1 имеет следующий вид:

J	K	Q_n	Q_{n+1}
0	–	0	0
1	–	1	0
–	1	0	1
–	0	1	1

Эта таблица отражает данное ранее определение входов J и K, которые при подаче на них активного входного сигнала соответственно устанавливают и сбрасывают JK–триггер. По аналогии запишем ФАЛ, описывающие работу асинхронного и синхронного JK–триггера:

$$Qn+1 = J\overline{Q}n + \overline{K}Qn; \qquad (1.13)$$

$$Qn+1 = (J\overline{Q}n + \overline{K}Qn)C + \overline{C}Qn: \qquad (1.14)$$

Из таблицы переходов следует, что при подаче на информационные входы J и K сразу двух активных логических уровней триггер работает как счетный. Следовательно, структурная схема данного триггера должна повторять схему T–триггера, т.е. должна содержать дополнительные цепи обратной связи.

Поэтому структура JK–триггера базируется на структуре MS–триггера или триггера с динамическим входом. Структурная схема JK–триггера приведена на рис. 1.15

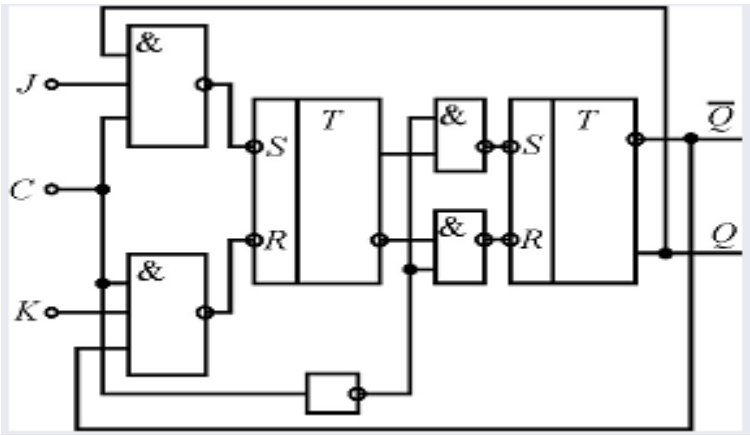
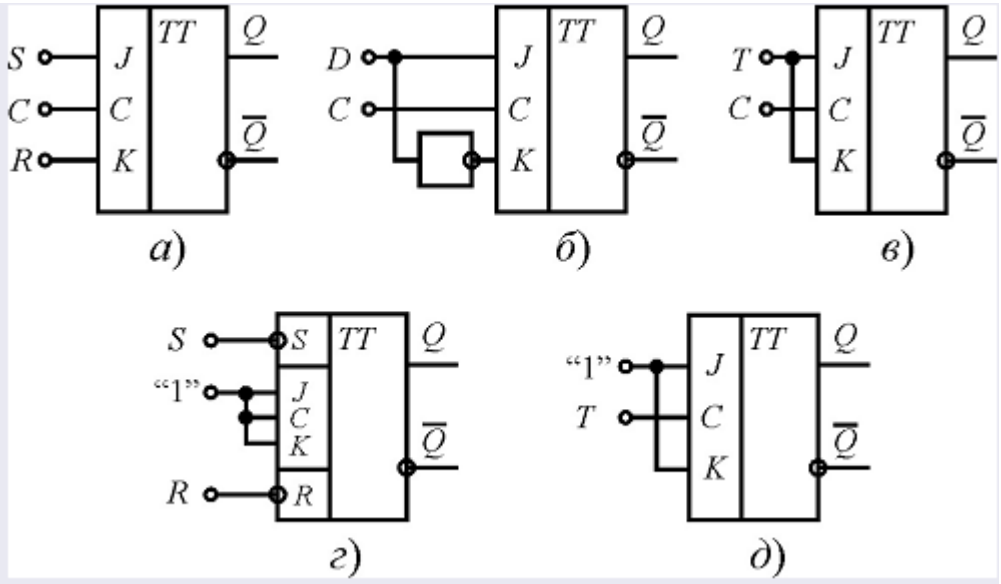


рис. 1.15

Очевидно, что всегда на вход одного из логических элементов 3И-НЕ с выхода триггера поступает активный логический сигнал. Вследствие этого при любых комбинациях входных сигналов непосредственно на входах первого RS-триггера не могут появиться два активных логических уровня.

JK-триггер является универсальным и позволяет построить на своей основе все рассмотренные ранее типы триггеров.



1.16 Построение триггеров на основе JK–триггера: (а) синхронный RS–триггер; (б) D–триггер; (в) синхронный T–триггер; (г) асинхронный RS–триггер; (д) асинхронный T-триггер

JK–триггер может дополнительно снабжаться входами асинхронной установки R и S.

1.5 Триггеры с динамическим управлением

Все рассмотренные типы триггеров являются триггерами со статическим управлением. Это накладывает определенные требования на вид сигнала синхронизации. Так как активным логическим уровнем на входе синхронизации рассмотренных ранее триггеров является сигнал C = 1, то на интервале действия этого сигнала они беспрепятственно воспринимают любое изменение сигналов на своих информационных входах. Поэтому для записи определенной информации сигнал на информационных входах триггера должен оставаться неизменным на всем интервале действия активного логического сигнала на входе синхронизации. На практике такое

требование приводит к дополнительным трудностям при проектировании цифровых устройств и их усложнению. От указанного недостатка свободны триггеры с так называемым динамическим управлением. Суть такого управления заключается в том, что в качестве активного логического сигнала выступает не сам статический уровень, а его изменение. Другими словами, переключение триггера происходит в течение короткого промежутка времени вблизи фронта или среза импульса синхронизации.

Если триггер реагирует на фронт импульса, т. е. на перепад сигнала от лог. 0 к лог. 1, то считают, что он снабжен прямым динамическим входом. Если же триггер реагирует на срез импульса, т.е. на перепад сигнала от лог. 1 к лог. 0, то считают, что он снабжен инверсным динамическим входом.

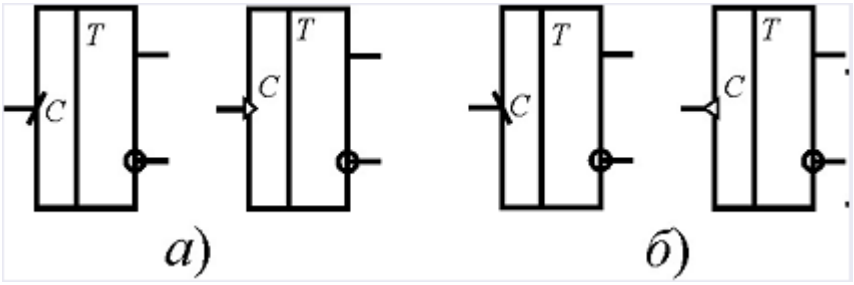


рис. 1.17 Обозначение входов синхронизации триггеров: (а) прямой динамический; (б) инверсный динамический

Триггер с динамическим управлением не чувствителен к изменению информационных сигналов на интервалах действия сигналов C = 1 и C= 0. Переключение происходит по изменению сигнала синхронизации. Переключение триггера происходит непосредственно по фронту или срезу импульса синхронизации. Для записи информации она должна оставаться неизменной на информационных входах на некотором интервале времени в окрестности изменения сигнала синхронизации. Продолжительность этого интервала времени определяется реальными задержками в выбранных логических элементах.

Глава2. Описание лабораторных работ

Лабораторная работа №1

Цель работы:

Целью лабораторной работы является знакомство с образовательной платформой National Instruments (NI) ELVISII+. Знакомство со средой графического проектирования NI LabVIEW. Приобретение базовых знаний и навыков иерархического (модульного) проектирования цифровых схем, обучение созданию базовых элементов (sub–VI) и компоновке низкоуровневых функциональных блоков в графической среде программирования NI LabVIEW. Результаты проектирования необходимо проверить на оценочном модуле DE FPGA Board.

Задание на проектирование:

Создать в системе графического проектирования схему на рис. 2.1. ниже и реализующую ФАЛ вида:

$$Q_{n+1} = \overline{C}Q_n + C\left(S + Q_n\overline{R}\right). \qquad (1.15)$$

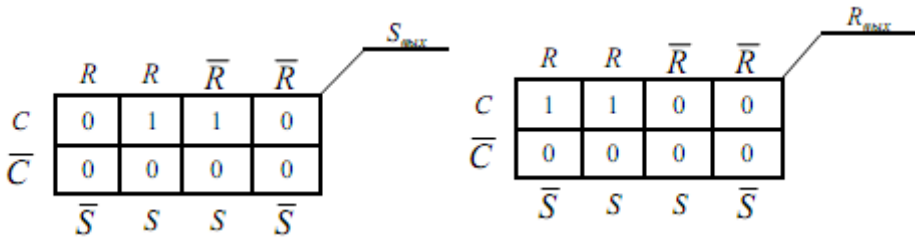
Выполнение задания:

Схема должна быть иерархической; используя функции самого низкого уровня, необходимо создать т. н. sub–VI — блоки, которые затем послужат функциональными блоками более высокого уровня. Для реализации логической схемы, представленной на рис. 2.1. ниже, понадобятся логические элементы, реализующие: операцию И-НЕ (NOT AND). Блоки, выполняющие указанные логические операции, необходимо реализовать в виде функциональных sub–VI — блоков в среде графического проектирования LabVIEW. Затем при помощи указанных функциональных блоков собрать логическую схему. Проверить работоспособность схемы в оценочном модуле DE FPGA Board.

Таблица истинности формирования управляющих сигналов синхронного RS-триггера

C	$R_{вх}$	$S_{вх}$	$R_{вых}$	$S_{вых}$
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0

С использованием полученной таблицы минимизируем ФАЛ для Sвых и Rвых. Карты Вейча для этого случая имеют вид:



Откуда получаем, что Sвых= CS, Rвых= CR.

Подставив полученные значения Sвых и Rвых в выражение получим ФАЛ, описывающую работу синхронного RS-триггера

$$Q_{n+1} = S + Q_n\overline{R} = CS + Q_n\overline{CR} = CS + Q_n\left(\overline{C} + \overline{R}\right) =$$
$$= CS + Q_n\overline{C} + Q_n\overline{R} = CS + Q_n\overline{C} + Q_n\overline{R}\left(C + \overline{C}\right) =$$
$$= C\left(S + Q_n\overline{R}\right) + Q_n\overline{C}\left(1 + \overline{R}\right). \qquad (1.16)$$

Окончательно будем иметь

$$Q_{n+1} = \overline{C}Q_n + C\left(S + Q_n\overline{R}\right). \qquad (1.17)$$

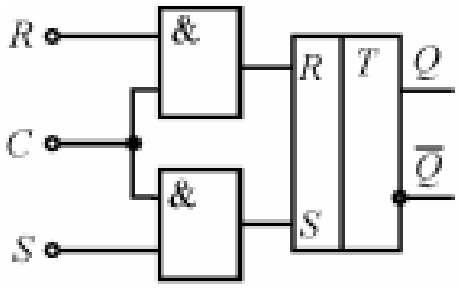
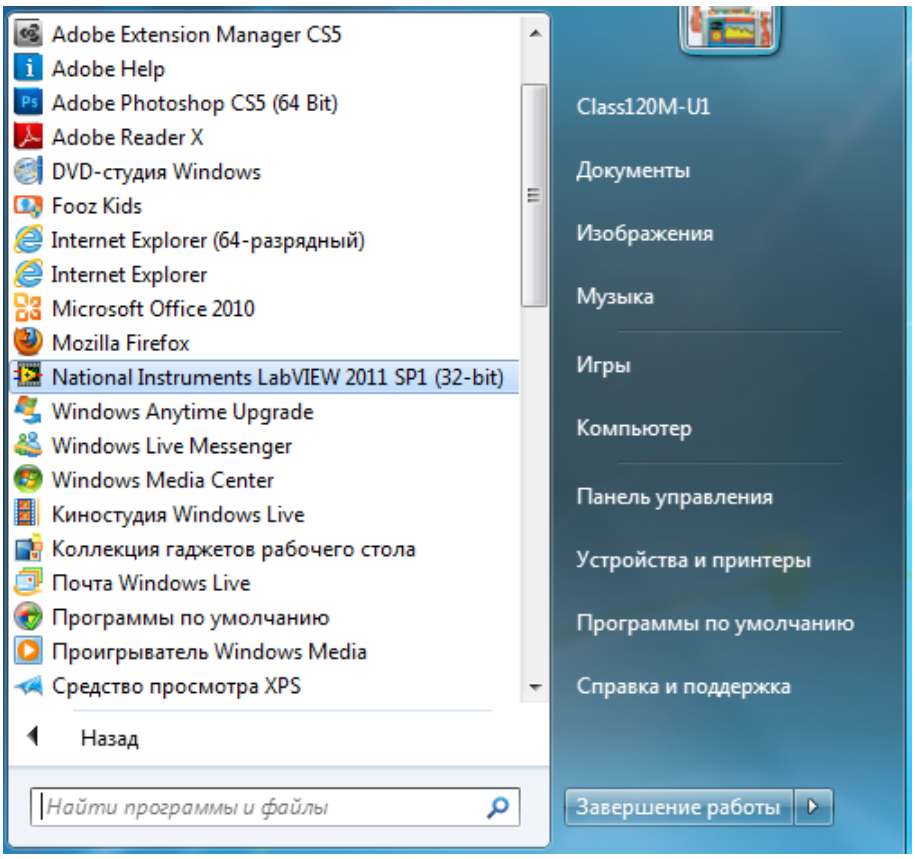


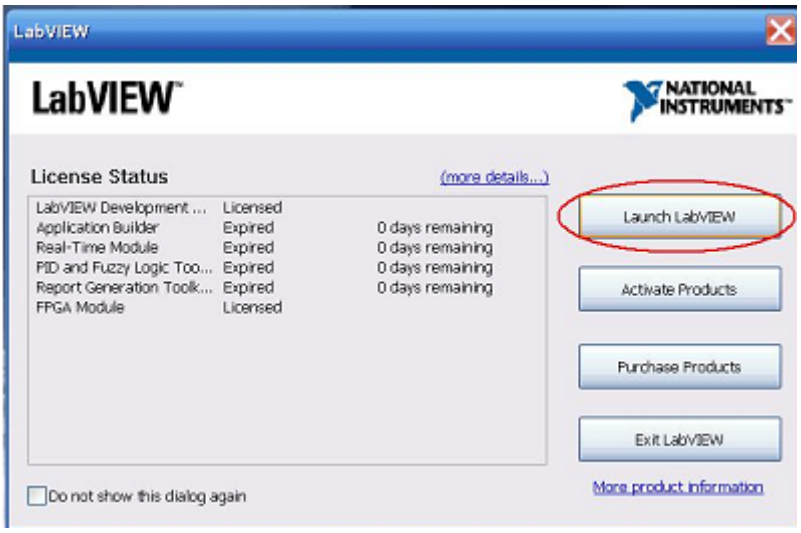
Рис. 2.1 Структурная схема RS-триггера

Запуск LabVIEW и создание нового проекта.

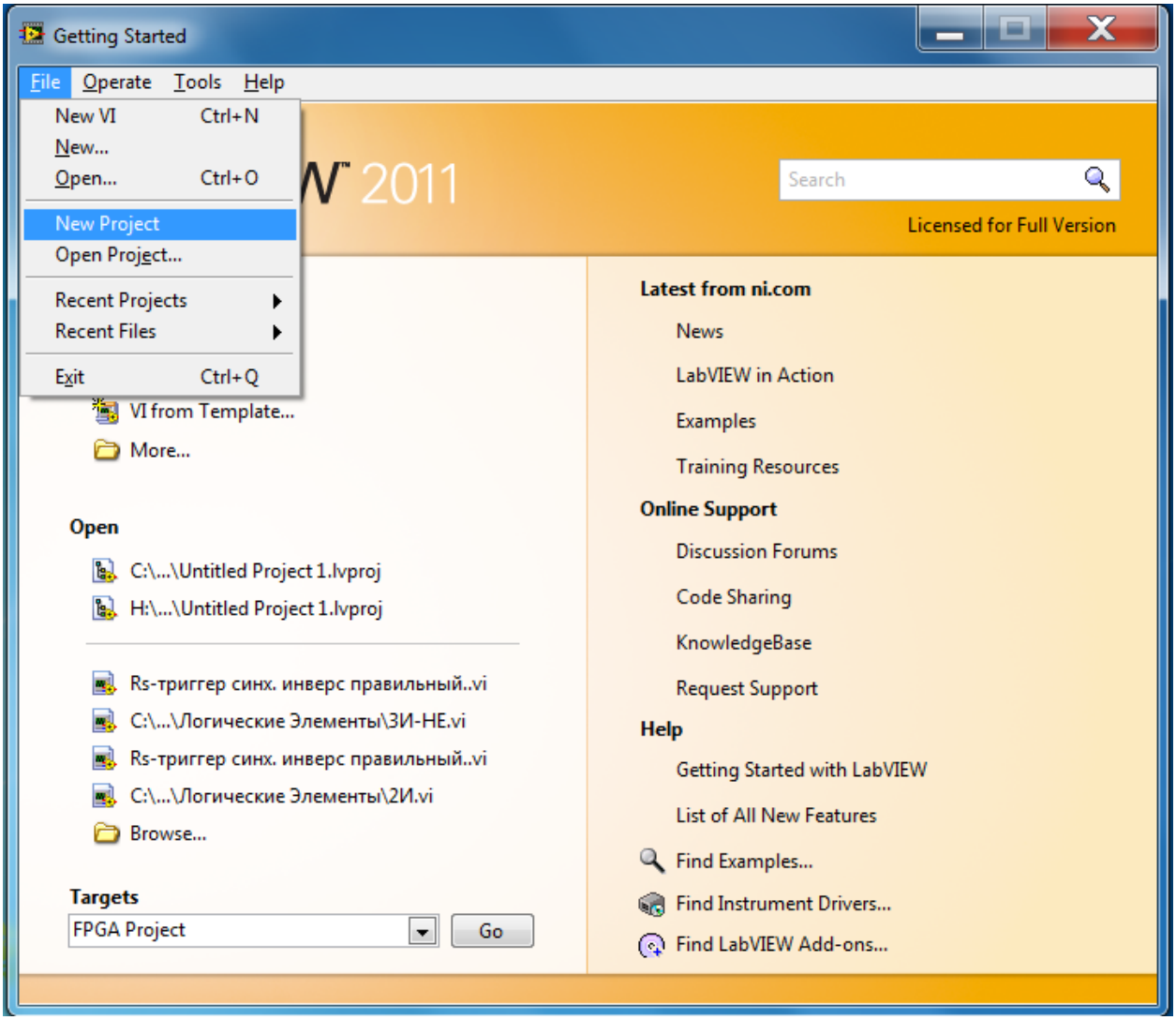
После того, как NI ELVIS II+ с установленной на ней платой подключена к компьютеру, все кабели скоммутированны, питание включено, можно запустить пакет LabVIEV на персональном компьютере.



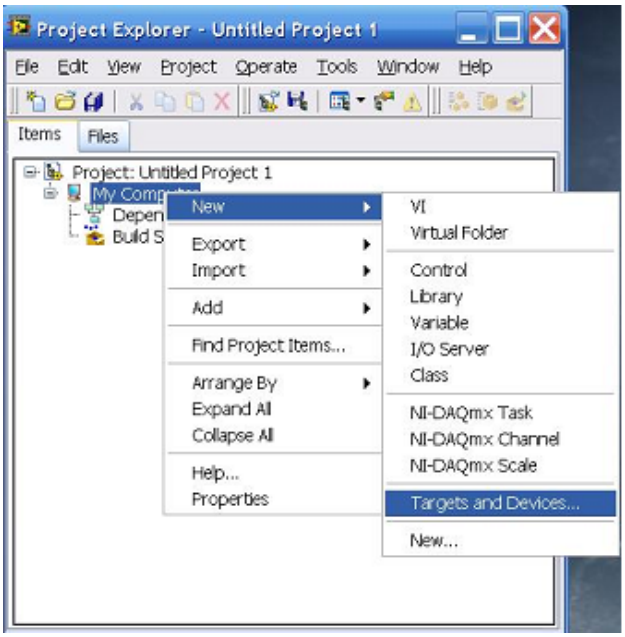
Появится окошко, в котором необходимо выбрать Launch LabVIEW. Если при следующем запуске программы вы хотите проходить этот этап в автоматическом режиме, установите галочку Do not show this dialog again.

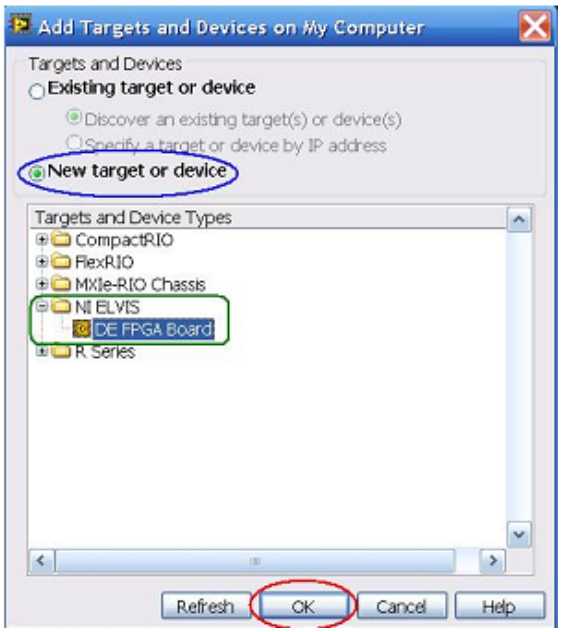


В окне «Getting Started» из меню File выбираем пункт меню New Project.

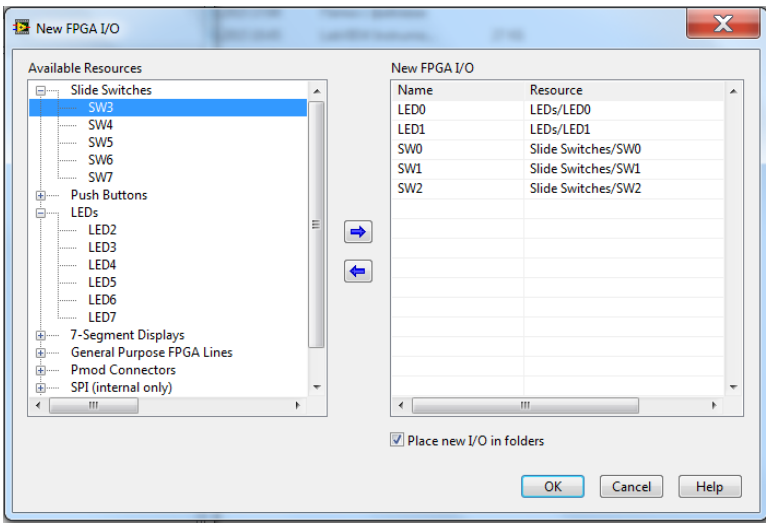


В «Project Explorer» нажимаем правую кнопку мышки на иконке My Computer, и выбираем New →Targets and Device, как это показано на рис.

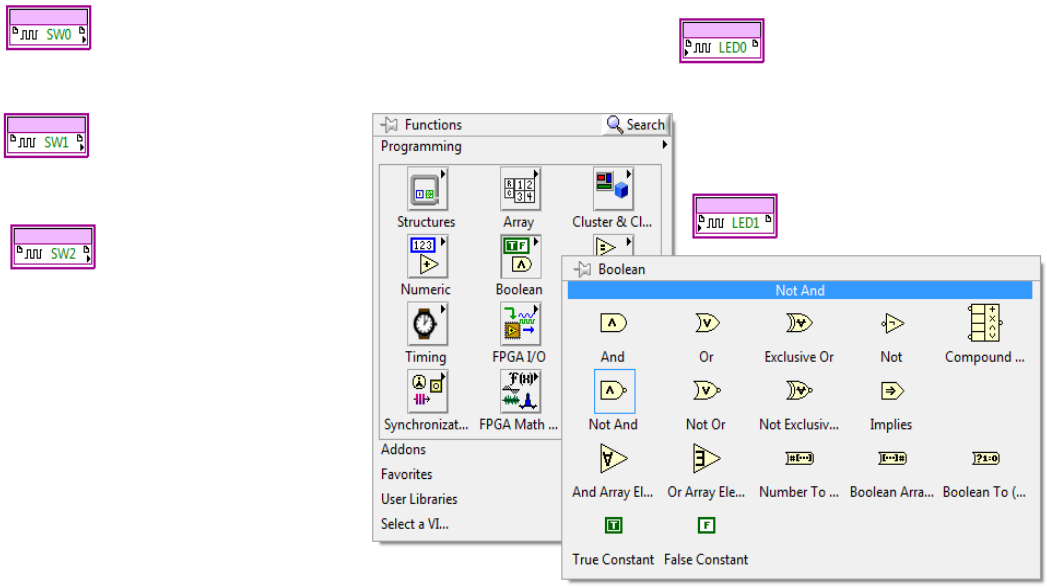




В окне диалога «Add Targets and Deviceson My Computer» обязательно необходимо установить флажок в позицию New Target or Device. После этого в папке NI ELVIS выбрать DE FPGA Board и нажать OK. Сохраним проект (нажимаем комбинацию клавиш «Ctrl+S»), в нужной папке и под нужным файлом.

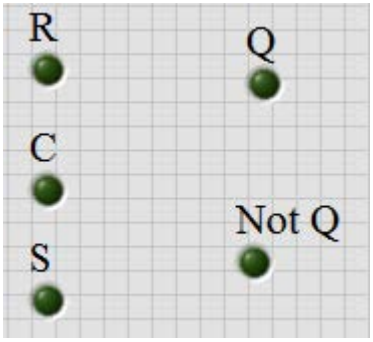


В окне «Project Explorer» щелкаем правой кнопкой мыши по пункту «FPGA Target (Dev1, DE FPGA Board)» и выбираем New>>FPGAI/O. В окне «New FPGAI/O» в левой колонке выбираем в разделе «Slide Switches» «SW0» и с помощью стрелочки вправо добавляем в правую колонку. Аналогично добавляем кнопки «SW1», «SW2», из раздела «LEDs» таким же образом добавляем «LED0», «LED1».



В окне «Project Explorer» щелкаем правой кнопкой мыши по пункту «FPGA Target» (Board1, DE FPGA Board) и выбираем «New VI». Открываем окно «Block Diagram» (Ctrl-E). Из окна «Project Explorer» добавляем в окно «Block Diagram» элементы «SW0», «SW1», «SW2», «LED0»,«LED1».

Щёлкаем правой кнопкой мыши где-нибудь на белом поле (в рабочей области), и в палитре «Boolean» добавляем элемент «Not And». Добавляем аналогично тот же элемент ещё три раза.



На проводнике, выходящем из «SW0», щёлкаем правой кнопкой мыши и в раскрывшемся меню выбираем Create >> Indicator. Переименовываем его на «R». Аналогично с «SW1» – «C», с «SW2» – «S».

После того, как схема собрана, проверим её работоспособность при помощи оценочного модуля DE FPGA Board. Убедимся, что питание на ELVISII+ подано, кабель JTAG–программатора подключен к оценочной платформе DE FPGA Board. На лицевой панели («Front Panel») нажимаем кнопку Run. Начнется процесс компиляции проекта, это может занять определенное время. Сначала будет сгенерирован промежуточный файл. Затем запустится компилятор, который создаст двоичный код, необходимый для «прошивки» ПЛИС. По окончании процесса компиляции код будет автоматически загружен в FPGA Board, она сконфигурируется, и в зависимости от положения переключателей выходной диод будет либо гореть, либо нет.

Если изменять состояния переключателей, то светодиод не будет реагировать, так как программа однократно выполнилась и остановилась.

Для того, чтобы посмотреть работу программы при различных положениях переключателей, необходимо сначала изменить их положение, а затем нажать кнопку Run. Двоичный код конфигурации FPGA загрузится через USB–JTAG кабель. В зависимости от установок входных переменных (x0, x1, x2), определяемых состоянием переключателей SW0, SW1 и SW2 на оценочной плате, светодиод LED0 и LED1 (и индикатор OUT на лицевой панели) будет либо гореть, либо нет. Если воспользоваться кнопкой запуска Run Continuosly (Запустить в непрерывном режиме), то можно, изменяя состояния переключателей, наблюдать изменения состояния светодиода LED0 и LED1 на оценочной платформе DE FPGA Board и индикатора OUT на лицевой панели («Front Panel») в непрерывном режиме.

Остановить работу оценочного модуля в непрерывном режиме можно при помощи кнопки Abort Execution на лицевой панели.

Конечная схема на блок-диаграмме должна быть как на рис. 2.2

Внимание: в данной схеме имеется запрещённая комбинация для триггера: положение переключателей «SW0», «SW2»в положение «1», что соответствует R=S=1, недопустимо.

В приведенной ниже таблице произведена проверка работы RS-триггера.

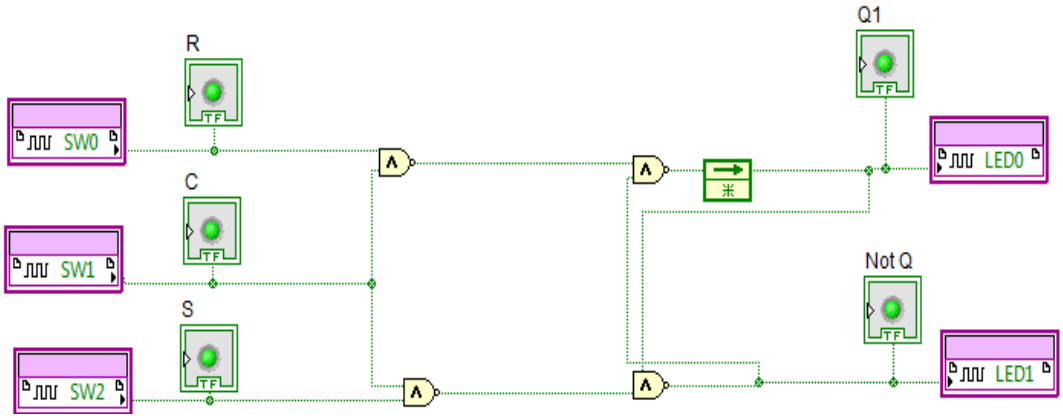
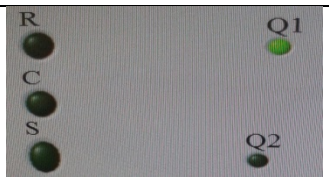
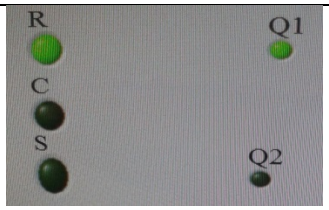
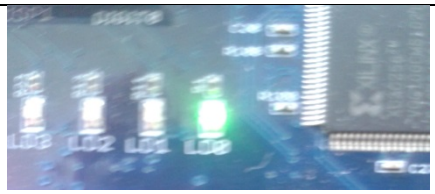
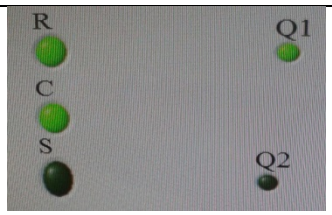
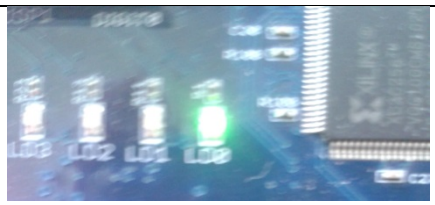
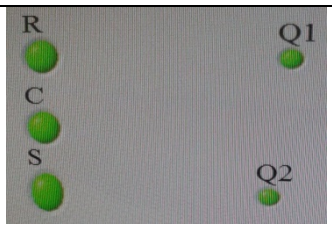
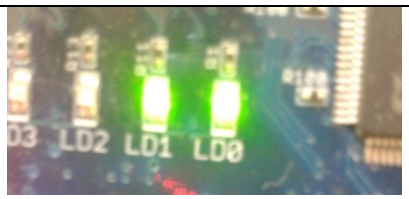
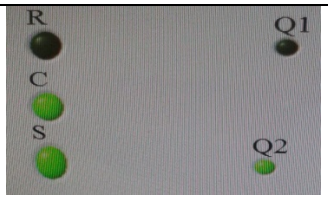
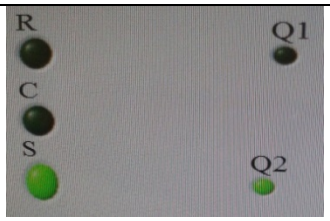
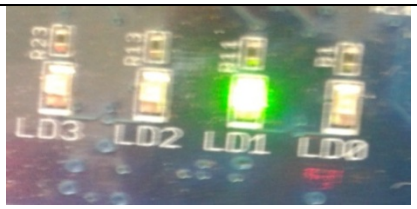
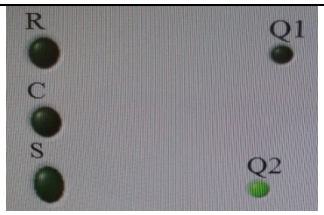


рис. 2.2 Конечная схема RS-триггера

Отображения программы LabVIEW.	Положение движковых переключателей (SW0-SW2).	Отображение на плате DE FPGA Board диодов (LD0-LD1)
		
		
		
		
		
		
		

Лабораторная работа №2

Цель работы:

Целью лабораторной работы является знакомство с образовательной платформой National Instruments (NI) ELVISII+. Знакомство со средой графического проектирования NI LabVIEW. Приобретение базовых знаний и навыков иерархического (модульного) проектирования цифровых схем, обучение созданию базовых элементов (sub–VI) и компоновке низкоуровневых функциональных блоков в графической среде программирования NI LabVIEW. Результаты проектирования необходимо проверить на оценочном модуле DE FPGA Board.

Задание на проектирование:

Создать в системе графического проектирования схему на рис. 2.3 ниже и реализующую ФАЛ вида:

$$Qn+1 = (J\overline{Q}n + \overline{K}Qn)C + \overline{C}Qn \qquad (1.18)$$

Выполнение задания:

Схема должна быть иерархической; используя функции самого низкого уровня, необходимо создать т. н. sub–VI — блоки, которые затем послужат функциональными блоками более высокого уровня. Для реализации логической схемы, представленной на рис. 2.3. ниже, понадобятся логические элементы, реализующие: операцию НЕ (NOT); операцию И-НЕ (NOTAND) над тремя входными переменными – 3И-НЕ; операцию И-НЕ (NOTAND) над двумя входными переменными – 2И-НЕ и синхронный RS-триггер с инверсными входами. Блоки, выполняющие указанные логические операции, необходимо реализовать в виде функциональных sub–VI — блоков в среде графического проектирования LabVIEW. Затем при помощи указанных функциональных блоков собрать логическую схему. Проверить работоспособность схемы в оценочном модуле DE FPGA Board.

Таблица переходов *JK*-триггера

Q_{n+1}	Q_n	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

Составив карту Вейча для приведенной таблицы, можно получить аналитическое выражение, описывающее работу синхронного JK-триггера:

$$Qn+1 = (J\overline{Q}n + \overline{K}Qn)C + \overline{C}Qn \qquad (1.19)$$

Из таблицы переходов следует, что при подаче на информационные входы J и K сразу двух активных логических уровней триггер работает как счетный. Следовательно, структурная схема данного триггера должна повторять схему Т-триггера, т.е. должна содержать дополнительные цепи обратной связи. Поэтому структура JK-триггера базируется на структуре MS-триггера или триггера с динамическим входом. Поскольку введение обратных связей решает задачу исключения запрещенных комбинаций входных сигналов, входы J и K могут функционировать как входы R и S RS-триггера.

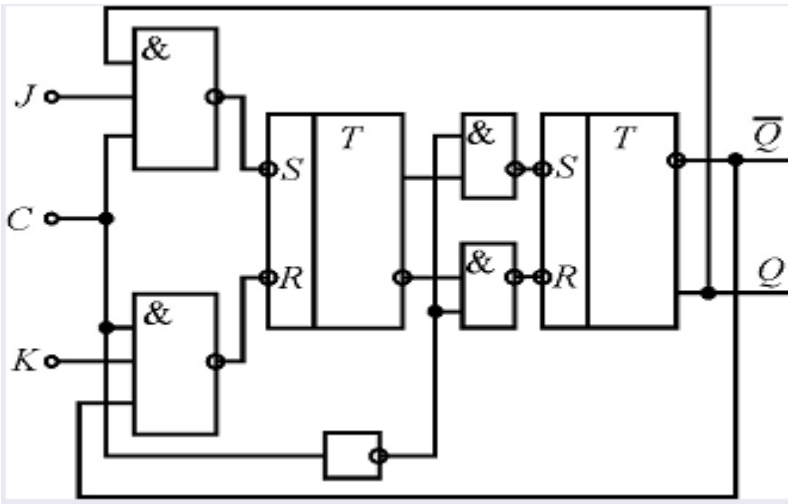
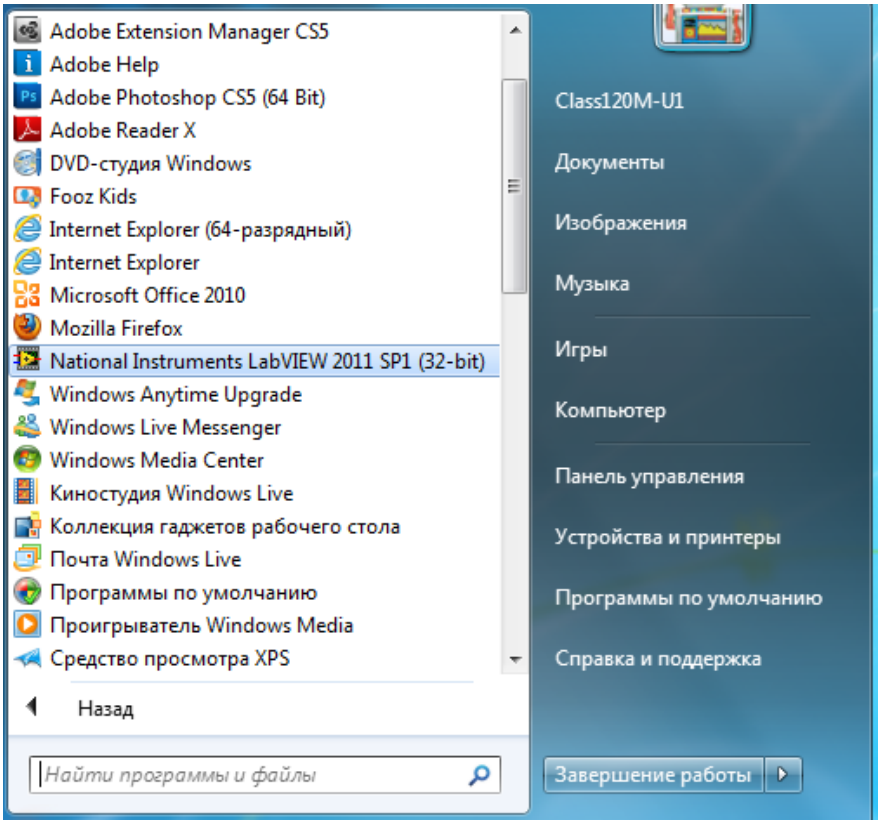


рис. 2.3

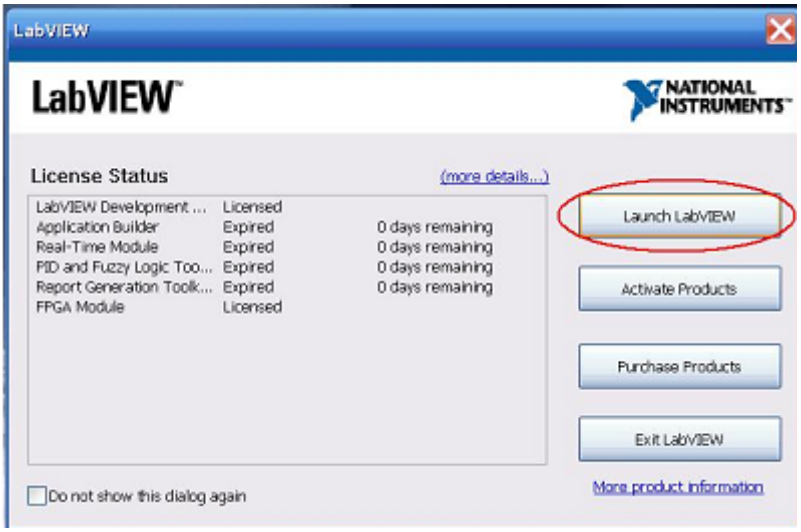
Очевидно, что всегда на вход одного из логических элементов 3И-НЕ с выхода триггера поступает активный логический сигнал. Вследствие этого при любых комбинациях входных сигналов непосредственно на входах первого RS-триггера не могут появиться два активных логических уровня.

Запуск LabVIEW и создание нового проекта.

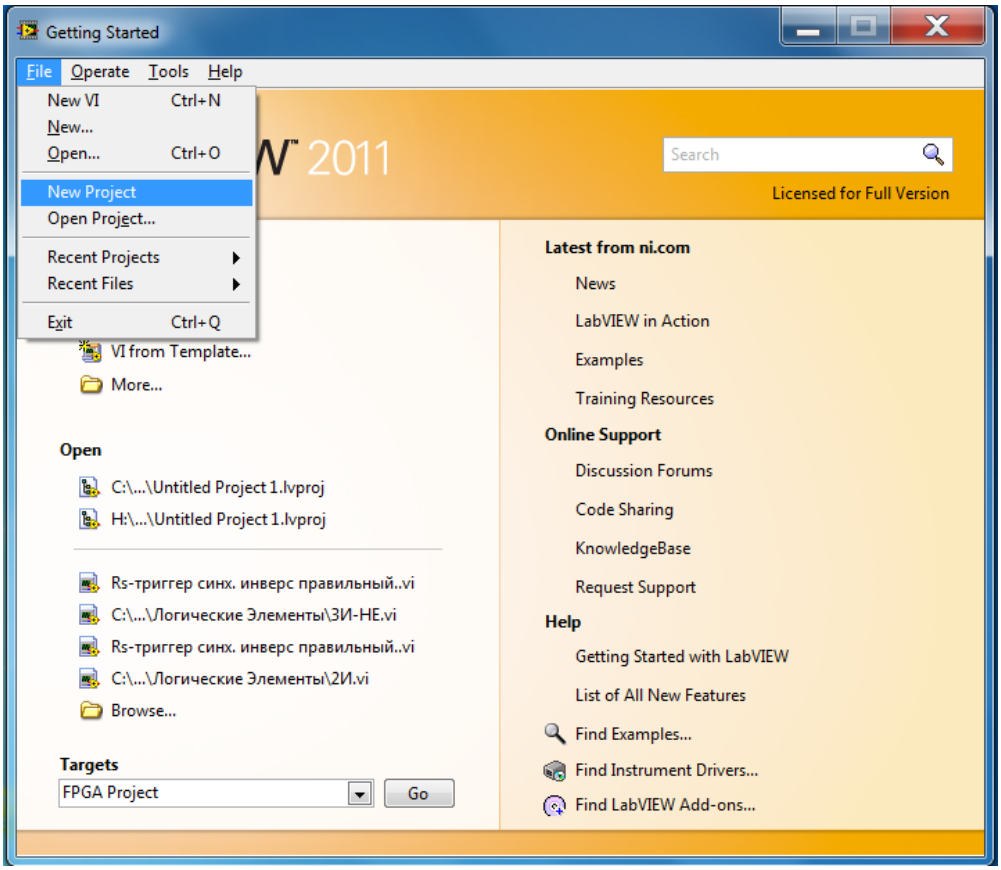
После того, как NI ELVIS II+ с установленной на ней платой подключена к компьютеру, все кабели скоммутированны, питание включено, можно запустить пакет LabVIEV на персональном компьютере.



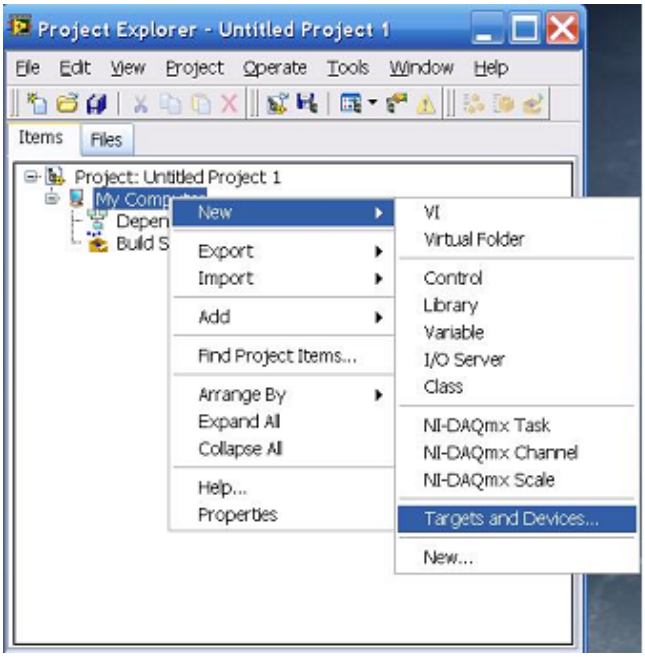
Появится окошко, в котором необходимо выбрать Launch LabVIEW. Если при следующем запуске программы вы хотите проходить этот этап в автоматическом режиме, установите галочку Do not show this dialog again.

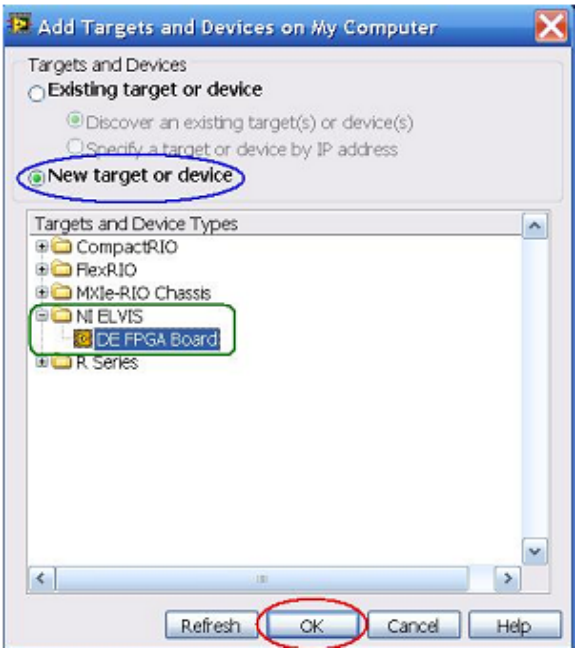


В окне «Getting Started» из меню File выбираем пункт меню New Project.



В «Project Explorer» нажимаем правую кнопку мышки на иконке My Computer, и выбираем New →Targets and Device, как это показано на рис.





В окне диалога «Add Targets and Deviceson My Computer» обязательно необходимо установить флажок в позицию New Target or Device. После этого в папке NI ELVIS выбрать DE FPGA Board и нажать OK. Сохраним проект

(нажимаем комбинацию клавиш «Ctrl+S»), в нужной папке и род нужным файлом.

Аналогичным образом проделываем всё, что нужно, как и в предыдущей лабораторной работе.

Используя логические элементы, реализующие: операцию НЕ (NOT); операцию И-НЕ (NOTAND) над тремя входными переменными – 3И-НЕ; операцию И-НЕ (NOTAND) над двумя входными переменными – 2И-НЕ и синхронный RS-триггер с инверсными входами графически спроектируем минимальные блоки схемы.

Проверку работы JK-триггера на плате проводим аналогичным образом, как и в предыдущей лабораторной работе.

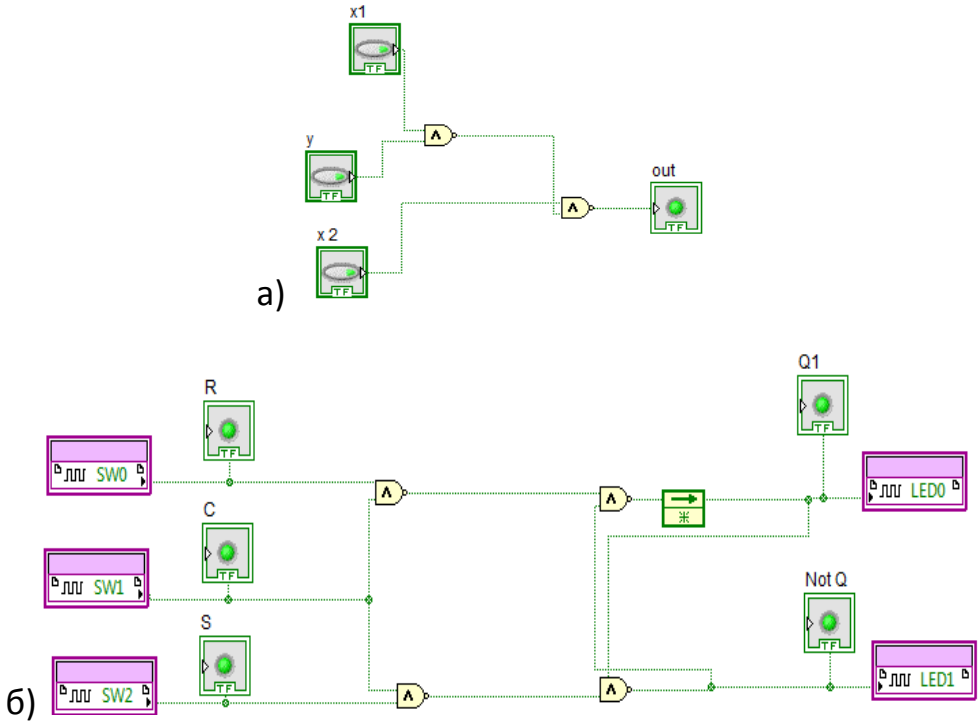


рис. 2.2

а) 3И-НЕ; б)RS-триггер на элементах 2И-НЕ

С помощью логических элементов собираем графическую схемуJK-триггера

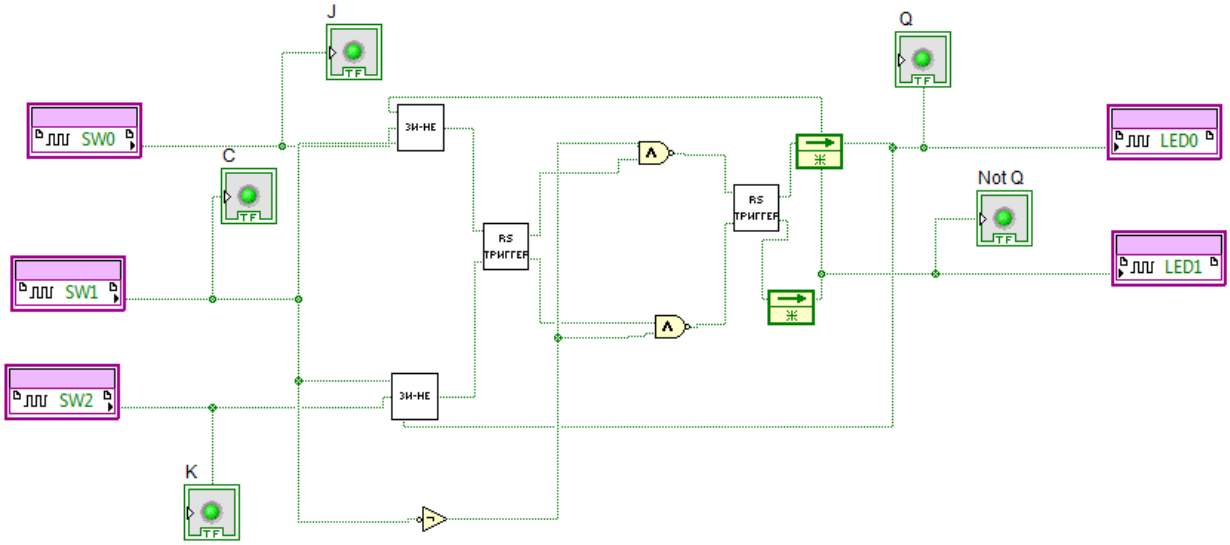


Рис. 2.3 Графическая схема JK-триггера

Заключение

В ходе выполнения бакалаврской работы было сделано следующее:

1. Изучена среда графического программирования LabView.
2. Изучена платформа NI Elvis II+.
3. Изучена основная теория о триггерах.
4. Провёл исследования по данной теме.
5. Построил триггерные схемы с помощью среды графического программирования LabView с использованием таблицы истинности и функции алгебры логики.

Разработан лабораторный практикум и написаны методические указания к выполнению практической части лабораторных работ:

1. Исследование RS-триггера.
2. Исследование JK-триггера.

Список литературы

1. Манаев Е.И. М23 Основы радиоэлектроники: Учеб.пособие для вузов. – 2-е изд., перераб. и доп. – М.: Радио и связь, 1985. – 488 с., ил.
2. Гальперин М.В. Г17 Практическаясхемотехника в промышленной автоматике. – М.: Энергоатомиздат, 1987. – 320 с.: ил.
3. Нефёдов В.И. Н58 Основы радиоэлектроники: Учеб.для вузов. – М.: Высш. шк., 2000. – 399 с.: ил.
4. Насыров И.А. Конспекты лекций по цифровой электронике: Учебное пособие. – Казань: КГУ, 2006. – 98 стр.
5. Брэдшо П., Гош С., Олдридж Х., Рефиоглу И., Силверман Дж., Уильямс А., Фростхоум Р. П76 Применение интегральных схем: Практическое руководство. В 2-х кн. Кн. 1. Пер. с англ./Под ред. А.Уильямса. – М. Мир, 1987. – 432 с., ил.
6. Токхайм Р. Т51 Микропроцессоры: Курс и упражнения/Пер. с англ., под ред. В. Н. Грасевича. М.: Энергоатомиздат, 1988. – 336 с.: ил.
7. Белокопытов Г.В., РжевкинК.С., Белов А. А., Логгинов А.С., Кузнецов Ю. И., Иванов И. В. Основы радиофизики: – М.: УРСС, 1996. – 256 с., ил.
8. Эрл Д.Гейтс Г29 Введение в электронику. Серия «Учебники и учебные пособия». Ростов-на-Дону: «Феникс», 1998. – 640 с.
9. Аналоговая и цифровая электроника. (Полный курс): Учебник для вузов/Ю.Ф.Опадчий, О.П. Глудкин, А.И. Гуров; Под ред. О. П. Глудкина. – М.: Горячая линия – Телеком, 2002. – 768 стр.
10. Фрике К. Вводный курс цифровой электроники: Пер. с немецкого. (изд. 2-ое) – М.: Техносфера, 2004 г. – 432 стр.
11. Токхейм Р. Основы цифровой электроники: Пер. с англ. – М.: Мир, 1988. – 392стр.
12. Шило В. Л. Популярные цифровые микросхемы: Справочник. – М: Радио и связь, 1987. – 352 стр