

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное учреждение
высшего профессионального образования
"Казанский (Приволжский) федеральный университет"
Институт физики



УТВЕРЖДАЮ

Проректор
по образовательной деятельности КФУ
Проф. Минзарипов Р.Г.

"__" _____ 20__ г.

Программа дисциплины

Схемотехника программируемой логики М1.ДВ.2

Направление подготовки: 011800.68 - Радиофизика

Профиль подготовки: Радиофизические методы по областям применений

Квалификация выпускника: магистр

Форма обучения: очное

Язык обучения: русский

Автор(ы):

Акчурин А.Д.

Рецензент(ы):

Корчагин Г.Е.

СОГЛАСОВАНО:

Заведующий(ая) кафедрой: Акчурин А. Д.

Протокол заседания кафедры No ____ от "____" _____ 201__ г

Учебно-методическая комиссия Института физики:

Протокол заседания УМК No ____ от "____" _____ 201__ г

Регистрационный No

Казань
2014

Содержание

1. Цели освоения дисциплины
2. Место дисциплины в структуре основной образовательной программы
3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля
4. Структура и содержание дисциплины/ модуля
5. Образовательные технологии, включая интерактивные формы обучения
6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов
7. Литература
8. Интернет-ресурсы
9. Материально-техническое обеспечение дисциплины/модуля согласно утвержденному учебному плану

Программу дисциплины разработал(а)(и) заведующий кафедрой, к.н. (доцент) Акчурин А.Д.
Кафедра радиоастрономии Отделение радиофизики и информационных систем ,
Adel.Akchurin@kpfu.ru

1. Цели освоения дисциплины

Курс направлен на обучение студентов основам разработки, проектирования и программирования микропроцессорных и микроконтроллерных систем. Также основные протоколы передачи данных, используемые в микроконтроллерных системах. Занятия проводятся с использованием учебных лабораторных стендов.

2. Место дисциплины в структуре основной образовательной программы высшего профессионального образования

Данная учебная дисциплина включена в раздел " М1.ДВ.2 Общенаучный" основной образовательной программы 011800.68 Радиофизика и относится к дисциплинам по выбору. Осваивается на 2 курсе, 3 семестр.

Данная дисциплина М1.ДВ.2 "Схемотехника программируемой логики" является естественным продолжением ряда дисциплин в бакалавриате Радиофизика, например, дисциплины Б3.В.2 "Цифровая электроника", в которой рассматриваются современные тенденции в развитии цифровой микроэлектроники в направлении создания и эволюции микросхем с программируемыми логическими характеристиками (ПЛИС).

Знание современной схемотехники ПЛИС помогает понять как программировать логическую схему в ПЛИС, как согласовывать эти микросхемы с различными узлами, используемых для автоматизации различных научных экспериментов и технологических процессов, изучаемых в дисциплине М2.ДВ.4 "Техника управления экспериментом".

3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля

В результате освоения дисциплины формируются следующие компетенции:

Шифр компетенции	Расшифровка приобретаемой компетенции
ОК-1 (общекультурные компетенции)	способностью оперировать углубленными знаниями в области математики и естественных наук
ОК-3 (общекультурные компетенции)	способностью самостоятельно приобретать с помощью информационных технологий и использовать в практической деятельности знания и умения, в том числе в новых областях, непосредственно не связанных со сферой деятельности, расширять и углублять своё научное мировоззрение
ПК-1 (профессиональные компетенции)	способностью к свободному владению знаниями фундаментальных разделов физики и радиофизики, необходимыми для решения научно- исследовательских задач (в соответствии со своим профилем подготовки)
ПК-3 (профессиональные компетенции)	способностью использовать в своей научно-исследовательской деятельности знание современных проблем и новейших достижений физики и радиофизики
ПК-4 (профессиональные компетенции)	способностью самостоятельно ставить научные задачи в области физики и радиофизики (в соответствии с профилем подготовки) и решать их с использованием современного оборудования и новейшего отечественного и зарубежного опыта

Шифр компетенции	Расшифровка приобретаемой компетенции
ПК-5 (профессиональные компетенции)	способностью применять на практике навыки составления и оформления научно-технической документации, научных отчетов, обзоров, докладов и статей (в соответствии с профилем подготовки)

В результате освоения дисциплины студент:

1. должен знать:

основные физические и технические принципы, лежащие в основе построения современных микросхем с программируемыми логическими характеристиками (ПЛИС);
принципы размещения различных блоков ПЛИС на кристалле;
способы загрузки файла конфигурации (разработанного проекта) в ПЛИС (способы прошивки);
способы отладки и верификации проекта;
способы состыковки микросхем ПЛИС с другими электрическими интерфейсами, реализованные на других выпускаемых промышленностью микросхемах

2. должен уметь:

создавать необходимые схемы в ПЛИС (рабочего проекта) с помощью специализированных САПР, на примере САПР Quartus II;
выполнять отладку и верификацию рабочего проекта с использованием встроенных в САПР средств отладки, а также с помощью внешних устройств (на примере тех, что имеются в САПР Quartus II "Встраиваемый логический анализатор", "Редактор содержимого памяти в системном окружении", "Отладочные выводы");
различными способами выполнять загрузку проекта (файла конфигурации разработанного проекта) в ПЛИС (через конфигурационный порт и JTAG-порт);
различными способами подключать к контактам ПЛИС контакты внешних микросхем с другими электрическими характеристиками.

3. должен владеть:

пониманием задач, выполняемых специализированных САПР при создании необходимого рабочего проекта или схемы в ПЛИС.

4. должен демонстрировать способность и готовность:

применять полученные знания о структуре современных ПЛИС на практике

4. Структура и содержание дисциплины/ модуля

Общая трудоемкость дисциплины составляет зачетных(ые) единиц(ы) 72 часа(ов).

Форма промежуточного контроля дисциплины зачет в 3 семестре.

Суммарно по дисциплине можно получить 100 баллов, из них текущая работа оценивается в 50 баллов, итоговая форма контроля - в 50 баллов. Минимальное количество для допуска к зачету 28 баллов.

86 баллов и более - "отлично" (отл.);

71-85 баллов - "хорошо" (хор.);

55-70 баллов - "удовлетворительно" (удов.);

54 балла и менее - "неудовлетворительно" (неуд.).

4.1 Структура и содержание аудиторной работы по дисциплине/ модулю

Тематический план дисциплины/модуля

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
1.	Тема 1. Уменьшение размеров транзисторов, огромный рост их числа на кристалле. Появление ПЛИС, их эволюция от простых микросхем с PAL (PLA) структурой сначала к CPLD структуре. Последующий переход сначала к FPGA со структурой из однородных функциональных конфигурируемых блоков, межсоединений и блоков ввода-вывода, а затем к FPGA с комбинированной структурой, включающей блоки ОЗУ, АЦП и умножители частот и т.д.	3	1-2	4	0	0	устный опрос

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
2.	Тема 2. Этап размещения на кристалле FPGA микросхемы аппаратных ядер процессоров, контроллеров шин и т.д. Аппаратно-программные средства конфигурирования ПЛИС (JTAG, Active/Passive Serial). Блоки ввода-вывода с различными питающими напряжениями. Симметричные и несимметричные включения выходных контактов	3	3	2	0	0	устный опрос
3.	Тема 3. Программирование ПЛИС (создание схем конфигурированием схем соединения базовых блоков в ПЛИС). Отставание производительности разработчиков "традиционных" схем (схем электрических соединений) от роста сложности СБИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризованных модулей, готовых решений для алгоритмически сложных устройств - IP (Intellectual Property) модулей). Способы описания (поведенческое, структурное).	3	4	2	0	0	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
4.	Тема 4. Этапы проектирования: Разработка алгоритма и архитектуры, "Поведенческое моделирование" (моделирование алгоритма работы 0-ми задержками), Синтез (преобразование описания проекта в схему на заданном элементном базисе), "Временное моделирование" (моделирование с задержками, полученными после трассировки и размещения внутренних ресурсов СБИС), Отладка в составе системы	3	5-6	4	0	0	
5.	Тема 5. Средства и методы отладки. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface), Отладочные выводы (SignalProbe Pins), Редактор содержимого памяти в системном окружении (In/System Memory Content Editor), Встраиваемый логический анализатор на примере SignalTap II	3	7	2	0	0	устный опрос
6.	Тема 6. Реализация проекта, управляющего LCD-монитором, на отладочных комплектах MAX II и DE2 (на ПЛИС MAX II и Cyclone II)	3	8-18	0	14	0	контрольная работа контрольная работа
·	Тема . Итоговая форма контроля	3		0	0	0	зачет

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
	Итого			14	14	0	

4.2 Содержание дисциплины

Тема 1. Уменьшение размеров транзисторов, огромный рост их числа на кристалле. Появление ПЛИС, их эволюция от простых микросхем с PAL (PLA) структурой сначала к CPLD структуре. Последующий переход сначала к FPGA со структурой из однородных функциональных конфигурируемых блоков, межсоединений и блоков ввода-вывода, а затем к FPGA с комбинированной структурой, включающей блоки ОЗУ, АЦП и умножители частот и т.д.

лекционное занятие (4 часа(ов)):

Уменьшение размеров транзисторов, огромный рост их числа на кристалле. Появление ПЛИС, их эволюция от простых микросхем с PAL (PLA) структурой сначала к CPLD структуре. Последующий переход сначала к FPGA со структурой из однородных функциональных конфигурируемых блоков, межсоединений и блоков ввода-вывода, а затем к FPGA с комбинированной структурой, включающей блоки ОЗУ, АЦП и умножители частот и т.д.

Тема 2. Этап размещения на кристалле FPGA микросхемы аппаратных ядер процессоров, контроллеров шин и т.д. Аппаратно-программные средства конфигурирования ПЛИС (JTAG, Active/Passive Serial). Блоки ввода-вывода с различными питающими напряжениями. Симметричные и несимметричные включения выходных контактов

лекционное занятие (2 часа(ов)):

Этап размещения на кристалле FPGA микросхемы аппаратных ядер процессоров, контроллеров шин и т.д. Аппаратно-программные средства конфигурирования ПЛИС (JTAG, Active/Passive Serial). Блоки ввода-вывода с различными питающими напряжениями. Симметричные и несимметричные включения выходных контактов

Тема 3. Программирование ПЛИС (создание схем конфигурированием схем соединения базовых блоков в ПЛИС). Отставание производительности разработчиков "традиционных" схем (схем электрических соединений) от роста сложности СБИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризованных модулей, готовых решений для алгоритмически сложных устройств - IP (Intellectual Property) модулей). Способы описания (поведенческое, структурное).

лекционное занятие (2 часа(ов)):

Программирование ПЛИС (создание схем конфигурированием схем соединения базовых блоков в ПЛИС). Отставание производительности разработчиков "традиционных" схем (схем электрических соединений) от роста сложности СБИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризованных модулей, готовых решений для алгоритмически сложных устройств - IP (Intellectual Property) модулей). Способы описания (поведенческое, структурное).

Тема 4. Этапы проектирования: Разработка алгоритма и архитектуры, "Поведенческое моделирование" (моделирование алгоритма работы 0-ми задержками), Синтез (преобразование описания проекта в схему на заданном элементном базисе), "Временное моделирование" (моделирование с задержками, полученными после трассировки и размещения внутренних ресурсов СБИС), Отладка в составе системы

лекционное занятие (4 часа(ов)):

Этапы проектирования: Разработка алгоритма и архитектуры "Поведенческое моделирование" (моделирование алгоритма работы 0-ми задержками) Синтез (преобразование описания проекта в схему на заданном элементном базисе) "Временное моделирование" (моделирование с задержками, полученными после трассировки и размещения внутренних ресурсов СБИС) Отладка в составе системы

Тема 5. Средства и методы отладки. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface), Отладочные выводы (SignalProbe Pins), Редактор содержимого памяти в системном окружении (In/System Memory Content Editor), Встраиваемый логический анализатор на примере SignalTap II

лекционное занятие (2 часа(ов)):

Средства и методы отладки. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface) Отладочные выводы (SignalProbe Pins) Редактор содержимого памяти в системном окружении (In/System Memory Content Editor) Встраиваемый логический анализатор на примере SignalTap II

Тема 6. Реализация проекта, управляющего LCD-монитором, на отладочных комплектах MAX II и DE2 (на ПЛИС MAX II и Cyclone II)

практическое занятие (14 часа(ов)):

Реализация проекта, управляющего LCD-монитором, на отладочных комплектах MAX II и DE2 (на ПЛИС MAX II и Cyclone II) Учащиеся выполняют проектирование схем для управления LCD-монитором, вывода символов, порожденных LSFR-сдвиговым регистром с подсчетом CRC-циклических контрольных сумм. Работоспособность схем также должна демонстрироваться отладочными средствами.

4.3 Структура и содержание самостоятельной работы дисциплины (модуля)

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
1.	Тема 1. Уменьшение размеров транзисторов, огромный рост их числа на кристалле. Появление ПЛИС, их эволюция от простых микросхем с PAL (PLA) структурой сначала к CPLD структуре. Последующий переход сначала к FPGA со структурой из однородных функциональных конфигурируемых блоков, межсоединений и блоков ввода-вывода, а затем к FPGA с комбинированной структурой, включающей блоки ОЗУ, АЦП и умножители частот и т.д.	3	1-2	подготовка к устному опросу	2	устный опрос

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
2.	Тема 2. Этап размещения на кристалле FPGA микросхемы аппаратных ядер процессоров, контроллеров шин и т.д. Аппаратно-программные средства конфигурирования ПЛИС (JTAG, Active/Passive Serial). Блоки ввода-вывода с различными питающими напряжениями. Симметричные и несимметричные включения выходных контактов	3	3	подготовка к устному опросу	2	устный опрос
3.	Тема 3. Программирование ПЛИС (создание схем конфигурированием схем соединения базовых блоков в ПЛИС). Отставание производительности разработчиков "традиционных" схем (схем электрических соединений) от роста сложности СБИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризованных модулей, готовых решений для алгоритмически сложных устройств - IP (Intellectual Property) модулей). Способы описания (поведеческое, структурное).	3	4	подготовка к устному опросу	4	устный опрос

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
4.	Тема 4. Этапы проектирования: Разработка алгоритма и архитектуры, "Поведенческое моделирование" (моделирование алгоритма работы 0-ми задержками), Синтез (преобразование описания проекта в схему на заданном элементном базисе), "Временное моделирование" (моделирование с задержками, полученными после трассировки и размещения внутренних ресурсов СБИС), Отладка в составе системы	3	5-6	подготовка к устному опросу	8	устный опрос
5.	Тема 5. Средства и методы отладки. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface), Отладочные выводы (SignalProbe Pins), Редактор содержимого памяти в системном окружении (In/System Memory Content Editor), Встраиваемый логический анализатор на примере SignalTap II	3	7	подготовка к устному опросу	8	устный опрос
6.	Тема 6. Реализация проекта, управляющего LCD-монитором, на отладочных комплектах MAX II и DE2 (на ПЛИС MAX II и Cyclone II)	3	8-18	подготовка к контрольной работе	10	контрольная работа
				подготовка к контрольной работе	10	контрольная работа
Итого					44	

5. Образовательные технологии, включая интерактивные формы обучения

Компьютерный класс, представляющий собой рабочее место преподавателя и не менее 12 рабочих мест студентов, включающих компьютерный стол, стул, персональный компьютер, лицензионное программное обеспечение. Каждый компьютер имеет широкополосный доступ в сеть Интернет. Все компьютеры подключены к корпоративной компьютерной сети КФУ и находятся в едином домене.

Для выполнения практических и лабораторных работ студентам предоставляются оценочные комплекты (платы для обучения) с различными ПЛИС, произведенных фирмой Altera. Это комплекты DK-MAXII-1270N и DE2 (Development and Education Board для Cyclone II) и DE2-115 (Development and Education Board для Cyclone IV)

Учебно-методическая литература для данной дисциплины имеется в наличии в электронно-библиотечных системах "БиблиоРоссика", Издательства "Лань" доступ к которой предоставлен студентам.

6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов

Тема 1. Уменьшение размеров транзисторов, огромный рост их числа на кристалле. Появление ПЛИС, их эволюция от простых микросхем с PAL (PLA) структурой сначала к CPLD структуре. Последующий переход сначала к FPGA со структурой из однородных функциональных конфигурируемых блоков, межсоединений и блоков ввода-вывода, а затем к FPGA с комбинированной структурой, включающей блоки ОЗУ, АЦП и умножители частот и т.д.

устный опрос , примерные вопросы:

Необходимо объяснить существо проблемы, связанное с уменьшением размеров транзисторов и значительного увеличения численности на кристалле. Способы структурной организации микросхем с большой численностью транзисторов.

Тема 2. Этап размещения на кристалле FPGA микросхемы аппаратных ядер процессоров, контроллеров шин и т.д. Аппаратно-программные средства конфигурирования ПЛИС (JTAG, Active/Passive Serial). Блоки ввода-вывода с различными питающими напряжениями. Симметричные и несимметричные включения выходных контактов

устный опрос , примерные вопросы:

Объяснения мест размещения аппаратных ядер в ПЛИС, способов конфигурирования. Объяснение связи проектных норм микросхем и питающих напряжений. Объяснение связи максимально передаваемых частот и симметричных/несимметричных включений.

Тема 3. Программирование ПЛИС (создание схем конфигурированием схем соединения базовых блоков в ПЛИС). Отставание производительности разработчиков "традиционных" схем (схем электрических соединений) от роста сложности СБИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризованных модулей, готовых решений для алгоритмически сложных устройств - IP (Intellectual Property) модулей). Способы описания (поведенческое, структурное).

устный опрос , примерные вопросы:

Объяснения особенностей программирования ПЛИС

Тема 4. Этапы проектирования: Разработка алгоритма и архитектуры, "Поведенческое моделирование" (моделирование алгоритма работы 0-ми задержками), Синтез (преобразование описания проекта в схему на заданном элементном базисе), "Временное моделирование" (моделирование с задержками, полученными после трассировки и размещения внутренних ресурсов СБИС), Отладка в составе системы

устный опрос , примерные вопросы:

Объяснения этапов проектирования проекта в ПЛИС

Тема 5. Средства и методы отладки. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface), Отладочные выводы (SignalProbe Pins), Редактор содержимого памяти в системном окружении (In/System Memory Content Editor), Встраиваемый логический анализатор на примере SignalTap II

устный опрос , примерные вопросы:

Объяснения возможностей и методов отладки в современных САПР

Тема 6. Реализация проекта, управляющего LCD-монитором, на отладочных комплектах MAX II и DE2 (на ПЛИС MAX II и Cyclone II)

контрольная работа , примерные вопросы:

Подготовленный проект LFSR-сдвигового регистра для различных вариантов использования (от быстродействующих счетчиков и генераторов случайных чисел до вычислителя контрольных сумм CRC) с выводом всей информации на LCD-монитор

контрольная работа , примерные вопросы:

Подготовленный проект LFSR-сдвигового регистра для различных вариантов использования (от быстродействующих счетчиков и генераторов случайных чисел до вычислителя контрольных сумм CRC) с выводом всей информации на LCD-монитор

Тема . Итоговая форма контроля

Примерные вопросы к зачету:

Форма контроля - зачет.

7.1. Основная литература:

Цифровая схемотехника, Угрюмов, Евгений Павлович, 2010г.

Книшев Д.А. ПЛИС фирмы ""Xilinx"": описание структуры основных семейств", Москва ДМК Пресс 2010, Online-ссылка: http://e.lanbook.com/books/element.php?pl1_id=55787

Стешенко В.Б. ПЛИС фирмы Altera: элементная база, система проектирования и языки описания аппаратуры. М.: ДМК Пресс 2010 Online-ссылка: http://e.lanbook.com/books/element.php?pl1_id=55815

7.2. Дополнительная литература:

Проектирование систем на микросхемах с программируемой структурой, Грушвицкий, Ростислав Игоревич;Угрюмов, Евгений Павлович;Мурсаев, Александр Хафизович, 2006г.

Электроника и микропроцессорная техника, Гусев, Владимир Георгиевич;Гусев, Юрий Матвеевич, 2013г.

Основы проектирования электронных средств, Саиткулов, Владимир Гельманович;Леухин, Владимир Николаевич, 2013г.

Авдеев В.А. Периферийные устройства: интерфейсы, схемотехника, программирование. М.: ДМК пресс, 2009. - 848 с. Online-ссылка: <http://www.bibliorossica.com/book.html?currBookId=5627&ln=en>

7.3. Интернет-ресурсы:

Журнал - http://www.kit-e.ru/articles/circuit/2000_08_88.php

Журнал - <http://www.electronics.ru/>

Сообщество EasyElectronics.ru - <http://we.easyelectronics.ru/plis/plis-zametki-nachinayuschego.html>

Цифровая лаборатория FPGA / DSP - <http://fpga.in.ua/category/fpga/cad-pld/basic-quartus>

ЭФО. Библиотека - <http://www.efo.ru/library/>

8. Материально-техническое обеспечение дисциплины(модуля)

Освоение дисциплины "Схемотехника программируемой логики" предполагает использование следующего материально-технического обеспечения:

Компьютерный класс, представляющий собой рабочее место преподавателя и не менее 15 рабочих мест студентов, включающих компьютерный стол, стул, персональный компьютер, лицензионное программное обеспечение. Каждый компьютер имеет широкополосный доступ в сеть Интернет. Все компьютеры подключены к корпоративной компьютерной сети КФУ и находятся в едином домене.

Учебно-методическая литература для данной дисциплины имеется в наличии в электронно-библиотечной системе "БиблиоРоссика", доступ к которой предоставлен студентам. В ЭБС "БиблиоРоссика" представлены коллекции актуальной научной и учебной литературы по гуманитарным наукам, включающие в себя публикации ведущих российских издательств гуманитарной литературы, издания на английском языке ведущих американских и европейских издательств, а также редкие и малотиражные издания российских региональных вузов. ЭБС "БиблиоРоссика" обеспечивает широкий законный доступ к необходимым для образовательного процесса изданиям с использованием инновационных технологий и соответствует всем требованиям федеральных государственных образовательных стандартов высшего профессионального образования (ФГОС ВПО) нового поколения.

Учебно-методическая литература для данной дисциплины имеется в наличии в электронно-библиотечной системе Издательства "Лань", доступ к которой предоставлен студентам. ЭБС Издательства "Лань" включает в себя электронные версии книг издательства "Лань" и других ведущих издательств учебной литературы, а также электронные версии периодических изданий по естественным, техническим и гуманитарным наукам. ЭБС Издательства "Лань" обеспечивает доступ к научной, учебной литературе и научным периодическим изданиям по максимальному количеству профильных направлений с соблюдением всех авторских и смежных прав.

Для выполнения практических и лабораторных работ студентам предоставляются оценочные комплекты (платы для обучения) с различными ПЛИС, произведенных фирмой Altera. Это комплекты DK-MAXII-1270N и DE2 (Development and Education Board для Cyclone II) и DE2-115 (Development and Education Board для Cyclone IV)

Учебно-методическая литература для данной дисциплины имеется в наличии в электронно-библиотечных системах "БиблиоРоссика", Издательства "Лань" доступ к которой предоставлен студентам.

Программа составлена в соответствии с требованиями ФГОС ВПО и учебным планом по направлению 011800.68 "Радиофизика" и магистерской программе Радиофизические методы по областям применений .

Автор(ы):

Акчурин А.Д. _____

"__" _____ 201__ г.

Рецензент(ы):

Корчагин Г.Е. _____

"__" _____ 201__ г.