МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное учреждение
высшего профессионального образования
"Казанский (Приволжский) федеральный университет"
Институт физики

**УТВЕРЖДАЮ**
Проректор
по образовательной деятельности КФУ
Проф. Минзарипов Р.Г.

*подписано электронно-цифровой подписью*

# Программа дисциплины

Программируемая логика Б3.ДВ.3

Направление подготовки: 011800.62 - Радиофизика
Профиль подготовки: Специальные радиотехнические системы
Квалификация выпускника: бакалавр
Форма обучения: очное
Язык обучения: русский

**Автор(ы):**
Акчурин А.Д.

**Рецензент(ы):**
Корчагин Г.Е.

**СОГЛАСОВАНО:**
Заведующий(ая) кафедрой: Акчурин А. Д.
Протокол заседания кафедры No ___ от "____" _____ 201__г
Учебно-методическая комиссия Института физики:
Протокол заседания УМК No ____ от "____" _____ 201__г

Регистрационный No 6105614

Казань
2014


ЭЛЕКТРОННЫЙ УНИВЕРСИТЕТ
ИНФОРМАЦИОННО-АНАЛИТИЧЕСКАЯ СИСТЕМА КФУ

## Содержание

1. Цели освоения дисциплины
2. Место дисциплины в структуре основной образовательной программы
3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля
4. Структура и содержание дисциплины/ модуля
5. Образовательные технологии, включая интерактивные формы обучения
6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов
7. Литература
8. Интернет-ресурсы
9. Материально-техническое обеспечение дисциплины/модуля согласно утвержденному учебному плану

Программу дисциплины разработал(а)(и) заведующий кафедрой, к.н. (доцент) Акчурин А.Д.
Кафедра радиоастрономии Отделение радиофизики и информационных систем ,
Adel.Akchurin@kpfu.ru

## 1. Цели освоения дисциплины

Сформировать представления о структуре современных микросхем с программируемыми логическими характеристиками (ПЛИС) и возможностях реализации разнообразных цифровых логических схем. Ознакомить учащихся с основными приемами проектирования цифровых схем, их проверки и размещения в ПЛИС. Приобретение практических навыков в создании схем как максимально наглядным, но уходящим способом - графическим соединением элементов вентильной и регистровой логики, так и набирающим силу языковым описанием проектируемых схем. В качестве такового в данном курсе используется Verilog описание цифровых схем.

## 2. Место дисциплины в структуре основной образовательной программы высшего профессионального образования

Данная учебная дисциплина включена в раздел " Б3.ДВ.3 Профессиональный" основной образовательной программы 011800.62 Радиофизика и относится к дисциплинам по выбору. Осваивается на 4 курсе, 8 семестр.

Цикл (раздел) ООП, к которому относится данная дисциплина - Б3.ДВ3

Желательные входные курсы: Информатика: Алгоритмы и языки программирования, информационные технологии, новые информационные технологии в науке и образовании, микропроцессоры и автоматизация эксперимента, принципы организации и устройства компьютера, персональные компьютеры.

## 3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля

В результате освоения дисциплины формируются следующие компетенции:

| Шифр компетенции | Расшифровка приобретаемой компетенции |
|---|---|
| ОК-12 (общекультурные компетенции) | способностью к правильному использованию общенаучной и специальной терминологии |
| ОК-14 (общекультурные компетенции) | способностью к овладению базовыми знаниями в области информатики и современных информационных технологий, программными средствами и навыками работы в компьютерных сетях, использованию баз данных и ресурсов Интернет |
| ОК-15 (общекультурные компетенции) | способностью получить организационно-управленческие навыки |
| ОК-16 (общекультурные компетенции) | способностью овладения основными методами защиты производственного персонала и населения от возможных последствий аварий, катастроф, стихийных бедствий |
| ПК-2 (профессиональные компетенции) | способностью применять на практике базовые профессиональные навыки |
| ПК-3 (профессиональные компетенции) | способностью понимать принципы работы и методы эксплуатации современной радиоэлектронной и оптической аппаратуры и оборудования |

| Шифр компетенции | Расшифровка приобретаемой компетенции |
|---|---|
| ПК-5 (профессиональные компетенции) | способностью к владению компьютером на уровне опытного пользователя, применению информационных технологий для решения задач в области радиотехники, радиоэлектроники и радиофизики (в соответствии с профилизацией) |
| ПК-6 (профессиональные компетенции) | способностью к профессиональному развитию и саморазвитию в области радиофизики и электроники |

В результате освоения дисциплины студент:

1. должен знать:

структуру и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС), различать возможности двух основных разновидностей ПЛИС: FPGA и CPLD.

2. должен уметь:

владеть приемами работы с современными средствами автоматического проектирования (САПР) цифровых схем в ПЛИС.

рисовать (разрабатывать) цифровую схему в среде графического схеморедактора, соединяющего линиями графические элементы вентильной и регистровой логики

3. должен владеть:

использовать структуру и базовые конструкции языка Verilog HDL для языкового описания цифровых схем

4. должен демонстрировать способность и готовность:

выполнять программное тестирование спроектированной схемы.

## 4. Структура и содержание дисциплины/ модуля

Общая трудоемкость дисциплины составляет 2 зачетных(ые) единиц(ы) 72 часа(ов).

Форма промежуточного контроля дисциплины зачет в 8 семестре.

Суммарно по дисциплине можно получить 100 баллов, из них текущая работа оценивается в 50 баллов, итоговая форма контроля - в 50 баллов. Минимальное количество для допуска к зачету 28 баллов.

86 баллов и более - "отлично" (отл.);

71-85 баллов - "хорошо" (хор.);

55-70 баллов - "удовлетворительно" (удов.);

54 балла и менее - "неудовлетворительно" (неуд.).

### 4.1 Структура и содержание аудиторной работы по дисциплине/ модулю

**Тематический план дисциплины/модуля**

| N | Раздел Дисциплины/ Модуля | Семестр | Неделя семестра | Виды и часы аудиторной работы, их трудоемкость (в часах) | | | Текущие формы контроля |
|---|---|---|---|---|---|---|---|
| | | | | Лекции | Практические занятия | Лабораторные работы | |
| 1. | Тема 1. Введение. Цели и назначение курса. Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС). | 8 | 1 | 0 | 0 | 0 | |
| 2. | Тема 2. Программирование ПЛИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризированных модулей и т.д.). | 8 | 2 | 0 | 0 | 0 | устный опрос |
| 3. | Тема 3. Система автоматизированного проектирования (САПР) Quartus II. Графический ввод схемы с помощью схеморедактора. | 8 | 3-6 | 0 | 0 | 10 | контрольная работа |
| 4. | Тема 4. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Организация комбинаторной логики. Блоки always, управляемые списком чувствительности | 8 | 7-8 | 0 | 0 | 11 | контрольная работа |
| 5. | Тема 5. Организация последовательностной (регистровой) логики - от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями | 8 | 9-11 | 0 | 0 | 11 | контрольная работа |

| N | Раздел Дисциплины/ Модуля | Семестр | Неделя семестра | Виды и часы аудиторной работы, их трудоемкость (в часах) | | | Текущие формы контроля |
|---|---|---|---|---|---|---|---|
| | | | | Лекции | Практические занятия | Лабораторные работы | |
| 6. | Тема 6. Средства и методы отладки проектов в ПЛИС. | 8 | 12-15 | 0 | 0 | 10 | устный опрос |
| 7. | Тема 7. JTAG-интерфейс. | 8 | 16 | 0 | 0 | 0 | устный опрос |
| . | Тема . Итоговая форма контроля | 8 | | 0 | 0 | 0 | зачет |
| | Итого | | | 0 | 0 | 42 | |

**4.2 Содержание дисциплины**

**Тема 1. Введение. Цели и назначение курса. Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС).**

**Тема 2. Программирование ПЛИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризированных модулей и т.д.).**

**Тема 3. Система автоматизированного проектирования (САПР) Quartus II. Графический ввод схемы с помощью схеморедактора.**

***лабораторная работа (10 часа(ов)):***

Изучение интерфейса САПР Quartus II. Особенности построения потока проектирования проекта (заданной схемы) в ПЛИС. Ввод графической схемы. Синтезирование схемы соединений между блоками ПЛИС. Моделирование поведения схемы.

**Тема 4. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Организация комбинаторной логики. Блоки always, управляемые списком чувствительности**

***лабораторная работа (11 часа(ов)):***

Организация комбинаторной логики - от простейших вентильных схем до разнообразных мультиплексоров и шифраторов/дешифраторов. Блоки always, управляемые списком чувствительности. Создание заданной преподавателем цифровой схемы.

**Тема 5. Организация последовательностной (регистровой) логики - от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями**

***лабораторная работа (11 часа(ов)):***

Организация последовательностной (регистровой) логики - от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями. Создание заданной преподавателем цифровой схемы.

**Тема 6. Средства и методы отладки проектов в ПЛИС.**

***лабораторная работа (10 часа(ов)):***

Средства и методы отладки. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface). Отладочные выводы (SignalProbe Pins). Редактор содержимого памяти в системном окружении (In/System Memory Content Editor). Встраиваемый логический анализатор на примере SignalTap II. Выполнение процедур отладки разработанной цифровой схемы с помощью указанных преподавателем средств отладки проекта в ПЛИС.

**Тема 7. JTAG-интерфейс.**

**4.3 Структура и содержание самостоятельной работы дисциплины (модуля)**

| N | Раздел Дисциплины | Семестр | Неделя семестра | Виды самостоятельной работы студентов | Трудоемкость (в часах) | Формы контроля самостоятельной работы |
|---|---|---|---|---|---|---|
| 2. | Тема 2. Программирование ПЛИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризированных модулей и т.д.). | 8 | 2 | подготовка к устному опросу | 5 | устный опрос |
| 3. | Тема 3. Система автоматизированного проектирования (САПР) Quartus II. Графический ввод схемы с помощью схеморедактора. | 8 | 3-6 | подготовка к контрольной работе | 5 | контрольная работа |
| 4. | Тема 4. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Организация комбинаторной логики. Блоки always, управляемые списком чувствительности | 8 | 7-8 | подготовка к контрольной работе | 5 | контрольная работа |
| 5. | Тема 5. Организация последовательностной (регистровой) логики - от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями | 8 | 9-11 | подготовка к контрольной работе | 5 | контрольная работа |
| 6. | Тема 6. Средства и методы отладки проектов в ПЛИС. | 8 | 12-15 | подготовка к устному опросу | 5 | устный опрос |
| 7. | Тема 7. JTAG-интерфейс. | 8 | 16 | подготовка к устному опросу | 5 | устный опрос |
| | Итого | | | | 30 | |

## 5. Образовательные технологии, включая интерактивные формы обучения

Активные и интерактивные формы проведения занятий (работа с современным реальными аппаратными и программными средствами системного программирования, выполнение и защита заданий лабораторных работ, разбор конкретных ситуаций, объяснение результатов работы конкретной компьютерной системы)

## 6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов

**Тема 1. Введение. Цели и назначение курса. Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС).**

**Тема 2. Программирование ПЛИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризированных модулей и т.д.).**

устный опрос , примерные вопросы:

Базовые структуры микросхем ПЛИС (CPLD, FPGA). Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС). Семейства CPLD-архитектур (MAX3000, 7000, 9000, MAX II и MAX V), FPGA-архитектур (FLEX10K, Cyclone, Arria, Stratix).

**Тема 3. Система автоматизированного проектирования (САПР) Quartus II. Графический ввод схемы с помощью схеморедактора.**

контрольная работа , примерные вопросы:

Реализация указанных преподавателем схем (проектов) с помощью графического редактора в САПР Quartus. Реализуемые схемы - это дешифраторы, шифраторы (задания 4-13).

**Тема 4. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Организация комбинаторной логики. Блоки always, управляемые списком чувствительности**

контрольная работа , примерные вопросы:

Написание указанных преподавателем схем (проектов) на языке Verilog HDL, моделируемых в САПР Quartus. Реализуемые схемы - дешифраторы, шифраторы (задания 4-13). Графическое представление схем на уровне регистровых передач (RTL).

**Тема 5. Организация последовательностной (регистровой) логики - от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями**

контрольная работа , примерные вопросы:

Написание указанных преподавателем схем (проектов), моделируемых в САПР Quartus Реализуемые схемы - это устройства на базе счетчиков, сдвиговых регистров (задания 14-26)

**Тема 6. Средства и методы отладки проектов в ПЛИС.**

устный опрос , примерные вопросы:

Выполнение процедур отладки разработанной цифровой схемы с помощью указанных преподавателем средств отладки проекта в ПЛИС, возможных в САПР Quartus. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface). Отладочные выводы (SignalProbe Pins). Редактор содержимого памяти в системном окружении (In/System Memory Content Editor). Встраиваемый логический анализатор на примере SignalTap II.

**Тема 7. JTAG-интерфейс.**

устный опрос , примерные вопросы:

JTAG-интерфейс (стандарта IEEE Std. 1149.1-1990) и метод граничного сканирования Ячейки сканирования. TAP-контроллер. Диаграмма состояний автомата контроллера. Транспортный механизм JTAG-интерфейса (контакты TCK (Test Clock Input) - синхронизация передачи данных и команд; TMS (Test Mode Select) - выбор режима передачи; TDI (Test Data Input) - вход данных и команд; TDO (Test Data Output) - выход данных, команд или состояния; TRST (Test ReSeT)) Применение JTAG-интерфейса для конфигурирования ПЛИС. Проверка работоспособности ПЛИС на ресурсах JTAG-интерфейса.

**Тема . Итоговая форма контроля**

Примерные вопросы к зачету:

Темы лабораторных работ:

1. Рисование схемы в графическом схеморедакторе и написание программы на языке Verilog, реализующей схему дешифратора для семисегментного индикатора

2. Рисование схемы в графическом схеморедакторе и написание программы на языке Verilog, реализующей схему контроля четности.

3. Рисование схемы в графическом схеморедакторе и написание программы на языке Verilog, реализующей схему определения числа дней в месяце по номеру месяца.

4. Создайте модуль преобразования 8-разрядного числа в соответствующее двоично-десятичное (BCD) представление.

5. Создайте модуль преобразования пары двоично-десятичных чисел (BCDs) в соответствующий байт.

6. Создайте модуль преобразования 4-битного набора в коде Грея в эквивалентное двоичное число.

7. Создайте модуль преобразования 8-битного набора в коде Грея в эквивалентное двоичное число.

8. Создайте модуль вычисления 13-ой цифры штрих-кода EAN-13 по L и G кодировке первых 6-ти цифр. Согласно таблице

0 LLLLLL
1 LLGLGG
2 LLGGLG
3 LLGGGL
4 LGLLGG
5 LGGLLG
6 LGGGLL
7 LGLGLG
8 LGLGGL
9 LGGLGL

9. Создайте модуль преобразования 4-битного набора в семисегментный код.

| X | g | f | e | d | c | b | a |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 2 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 3 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 4 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 5 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 6 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 7 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 8 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 9 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| A | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| B | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| C | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| D | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| F | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| G | 1 | 1 | 1 | 0 | 0 | 0 | 1 |

10. Создайте модуль преобразования 4-битного числа в его дополнение до единицы (Ones' complement) и в дополнение до двух (Two's complement)

11. Создайте модуль для сложения двух двоично-десятичных чисел

12. Создайте модуль компаратора двух 4-х разрядных чисел a и b. Модуль компаратора будет генерировать два выходных бит f и q. Один f бит равен 0, если a > b и 1, если a <b. Второй бит q равен 1, если a = b и 0 в противном случае.

13. Создайте 2-битный модуль АЛУ (ALU). Входами модуля являются два 2-битных операнда a и b, 3-битный вход f вида операции и 1-битовый вход переноса из младших разрядов ci. Выходами являются 2-битовый результат D и 1-битовый выход переноса в следующие разряды. Алгоритм работы задается значение f: если f = 1, d = a + b; если f = 2, d = a + b + ci; если f = 3, d = a - b; Если f = 4, d = a - b - ci; если f = 5, d = a OR b; Если f = 6, d = a AND B; если f = 7, d = a XOR b.

14. Создайте счетчик, однократно проходящий все свои состояния от нуля до модуля счета по внешнему сигналу (положительный цифровой зуб пилы), несколькими способами с помощью: цифрового автомата (state machine), конструкции if else, а также с помощью различных примитивов защелок и триггеров (latch, flip-flop). Сравните полученные RTL-схемы.

15. Создайте счетчик, однократно проходящий все свои состояния от нуля до модуля счета и обратно до нуля по внешнему сигналу (положительный и отрицательный цифровой зуб пилы), несколькими способами с помощью: цифрового автомата (state machine), конструкции if else, а также с помощью различных примитивов защелок и триггеров (latch, flip-flop). Сравните полученные RTL-схемы.

16. Создайте счетчик, заданное количество раз проходящий все свои состояния от нуля до модуля счета (несколько положительных цифровых зубов пилы) по внешнему сигналу, несколькими способами с помощью: цифрового автомата (state machine), конструкции if else, а также с помощью различных примитивов защелок и триггеров (latch, flip-flop). Сравните полученные RTL-схемы.

17. Создайте счетчик, заданное количество раз проходящий все свои состояния от нуля до модуля счета и обратно до нуля (несколько положительных и отрицательных цифровых зубов пилы) по внешнему сигналу, несколькими способами с помощью: цифрового автомата (state machine), конструкции if else, а также с помощью различных примитивов защелок и триггеров (latch, flip-flop). Сравните полученные RTL-схемы.

18. Создайте счетчик, заданное количество раз проходящий все свои состояния от нуля до модуля счета, после чего он должен пройти заданное раз вниз от модуля счета до нуля (сначала несколько положительных цифровых зубов пилы, после которых должны проследовать несколько отрицательных цифровых зубов пилы) по внешнему сигналу, несколькими способами с помощью: цифрового автомата (state machine), конструкции if else, а также с помощью различных примитивов защелок и триггеров (latch, flip-flop). Сравните полученные RTL-схемы.

19. Создайте счетчик, заданное количество раз проходящий все свои состояния от нуля до модуля счета, но разной скоростью роста (с разным инкрементом счета). При первом проходе инкремент 1 (обычный), при втором проходе инкремент равен 2 и так далее (несколько положительных цифровых зубов пилы с разным наклоном) по внешнему сигналу. Реализовать несколькими способами с помощью: цифрового автомата (state machine), конструкции if else, а также с помощью различных примитивов защелок и триггеров (latch, flip-flop). Сравните полученные RTL-схемы.

20. Создайте счетчик, заданное количество раз проходящий все свои состояния от нуля до модуля счета, но разной скоростью роста (с разным инкрементом счета). В интервале от нуля до четверти модуля счета инкремент равен 1 (обычный), в интервале от четверти модуля счета до половины модуля счета равен 2, в интервале от половины модуля счета до трех четвертей модуля счета равен 3 и на последнем участке до модуля счета равен 4 (несколько положительных экспоненциальных цифровых зубов пилы) по внешнему сигналу. Реализовать несколькими способами с помощью: цифрового автомата (state machine), конструкции if else, а также с помощью различных примитивов защелок и триггеров (latch, flip-flop). Сравните полученные RTL-схемы.


ЭЛЕКТРОННЫЙ УНИВЕРСИТЕТ
ИНФОРМАЦИОННО-АНАЛИТИЧЕСКАЯ СИСТЕМА КФУ

21. Создайте иллюминацию "бегущие огни" в одном направлении на светодиодах (т.е. выглядящая как светящая точка, всегда смещающаяся в одном направлении) двумя способами с помощью сдвигового регистра и счетчика с дешифратором. Сравните полученные RTL-схемы.

22. Создайте иллюминацию "бегущие огни" со сменяющимся направлением движения на светодиодах (т.е. выглядящая как светящая точка, сначала смещающаяся в одном направлении, а затем в обратном) двумя способами с помощью сдвигового регистра и счетчика с дешифратором. Сравните полученные RTL-схемы.

23. Создайте иллюминацию "бегущие огни" в одном направлении на светодиодах, но с растущей скоростью пробега (т.е. выглядящая как светящая точка, всегда смещающаяся в одном направлении, но после каждого прохода наращивающая скорость пробега) двумя способами с помощью сдвигового регистра и счетчика с дешифратором. Сравните полученные RTL-схемы.

Создайте иллюминацию "бегущие огни" со сменяющимся направлением движения на светодиодах и с растущей скоростью пробега (т.е. выглядящая как светящая точка, сначала смещающаяся в одном направлении, а затем в обратном и после каждого прохода наращивающая скорость пробега) двумя способами с помощью сдвигового регистра и счетчика с дешифратором. Сравните полученные RTL-схемы.

24. Написание программы на языке Verilog, реализующей схему делителя с дробным коэффициентом деления 3/2, 5/2, 7/2

25. Написание программы на языке Verilog, реализующей схему счетчика на основе сдвигового регистра

26. Написание программы на языке Verilog, реализующей схему генератора случайных чисел на основе сдвигового регистра с обратными связями

Вопросы к самостоятельной работе

Сравнение недостатков и преимуществ графического и языкового ввода схем.

Сравнение RTL-схем, созданных схемогенератором САПР, с введенной программистом.

Сравнение числа элементов ПЛИС, задействованных в схеме, заданной при графическом и языковом вводе.

РЕГЛАМЕНТ БАЛЛЬНО-РЕЙТИНГОВОЙ СИСТЕМЫ ПО ДИСЦИПЛИНЕ:

Выполнение 4-х практических (лабораторных) работ с ПЛИС с разной структурой (CPLD, FPGA) по 10 баллов (макс.)

Активность и результативность устного опроса в течение семестра - 10 баллов (макс.)

Итого: за работу в семестре 50 баллов (макс.)

К зачету допускаются студенты, набравшие не менее 27,5 баллов за семестр.

Максимальная оценка за экзамен - 50 баллов.

Итоговый регламент по дисциплине: 100 баллов (макс.).

Вопросы к зачету

1. Базовые структуры микросхем ПЛИС (CPLD, FPGA). Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС).

2. Семейства CPLD-архитектур (MAX3000, 7000, 9000, MAX II и MAX V).

3. Семейства FPGA-архитектур (FLEX10K, Cyclone, Arria, Stratix)

4. Программирование ПЛИС. Переход к высокоуровневым средствам и методам проектирования (использование HDL-языков, библиотек параметризированных модулей и т.д.).

5. Система автоматизированного проектирования (САПР) Quartus II. Особенности построения потока проектирования проекта (заданной схемы) в ПЛИС. Ввод графической схемы. Синтезирование схемы соединений между блоками ПЛИС. Моделирование поведения схемы.

6. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Организация комбинаторной логики. Блоки always, управляемые списком чувствительности.


ЭЛЕКТРОННЫЙ УНИВЕРСИТЕТ
ИНФОРМАЦИОННО-АНАЛИТИЧЕСКАЯ СИСТЕМА КФУ

7. Языковое описание схемы на языке Verilog HDL. Организация последовательностной (регистровой) логики - от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала.

8. Средства и методы отладки. Интерфейс для внешнего логического анализатора (Logic Analyzer Interface).

9. Средства и методы отладки. Отладочные выводы (SignalProbe Pins).

10. Средства и методы отладки. Редактор содержимого памяти в системном окружении (In/System Memory Content Editor).

11. Средства и методы отладки. Встраиваемый логический анализатор на примере SignalTap II.

12. JTAG-интерфейс (стандарта IEEE Std. 1149.1-1990) и метод граничного сканирования Ячейки сканирования. TAP-контроллер.

### 7.1. Основная литература:

Цифровая схемотехника, Угрюмов, Евгений Павлович, 2010г.

Книшев Д.А. ПЛИС фирмы ""Xilink"": описание структуры основных семейств", Москва ДМК Пресс 2010, Online-ссылка: http://e.lanbook.com/books/element.php?pl1_id=55787

Стешенко В.Б. ПЛИС фирмы Altera: элементная база, система проектирования и языки описания аппаратуры. М.: ДМК Пресс 2010 Online-ссылка: http://e.lanbook.com/books/element.php?pl1_id=55815

Жмакин А. П. Архитектура ЭВМ : учеб. пособие : 2-е изд., перераб. и доп. ? СПб.: БХВ-Петербург, 2010. ? 347 с. ? (Учебная литература для вузов). - ISBN 978-5-9775-0550-5. http://znanium.com/bookread.php?book=351133

### 7.2. Дополнительная литература:

1. Лехин, С. Н. Схемотехника ЭВМ / С. Н. Лехин.- СПб.: БХВ-Петербург, 2010. - 663 с.: ил. - (Учебная литература для вузов). - ISBN 978-5-9775-0353-2. - Режим доступа: http://znanium.com/bookread.php?book=350620

2. Бабич Н.П. , Жуков И.А. Основы цифровой схемотехники: Учебное пособие. - М.: Издательский дом "Додэка-XXI", К.: "МК-Пресс". - 480 с., ил. http://e.lanbook.com/view/book/55816/page4/

### 7.3. Интернет-ресурсы:

Архитектурные особенности различных типов ПЛИС - http://www.rfe.by/media/kafedry/kaf4/publication/stetsko/program-cifr-elektonika/lection4.pdf

Введение в программируемую логику - http://www.khaer.com.ua/downloads/ke/rus/tema4/4.1.htm

Вводная информация. Программируемая логика. С чего начать? - http://www.altera.ru/s-chego-nachat.html

Журнал - http://www.kit-e.ru/articles/plis.php

Описание языка Verilog - irs.nntu.ru/globals/files/bukvarev/verilog.pdf

### 8. Материально-техническое обеспечение дисциплины(модуля)

Освоение дисциплины "Программируемая логика" предполагает использование следующего материально-технического обеспечения:

Компьютерный класс, представляющий собой рабочее место преподавателя и не менее 15 рабочих мест студентов, включающих компьютерный стол, стул, персональный компьютер, лицензионное программное обеспечение. Каждый компьютер имеет широкополосный доступ в сеть Интернет. Все компьютеры подключены к корпоративной компьютерной сети КФУ и находятся в едином домене.

Учебно-методическая литература для данной дисциплины имеется в наличии в электронно-библиотечной системе " БиблиоРоссика", доступ к которой предоставлен студентам. В ЭБС " БиблиоРоссика " представлены коллекции актуальной научной и учебной литературы по гуманитарным наукам, включающие в себя публикации ведущих российских издательств гуманитарной литературы, издания на английском языке ведущих американских и европейских издательств, а также редкие и малотиражные издания российских региональных вузов. ЭБС "БиблиоРоссика" обеспечивает широкий законный доступ к необходимым для образовательного процесса изданиям с использованием инновационных технологий и соответствует всем требованиям федеральных государственных образовательных стандартов высшего профессионального образования (ФГОС ВПО) нового поколения.

Учебно-методическая литература для данной дисциплины имеется в наличии в электронно-библиотечной системе Издательства "Лань" , доступ к которой предоставлен студентам. ЭБС Издательства "Лань" включает в себя электронные версии книг издательства "Лань" и других ведущих издательств учебной литературы, а также электронные версии периодических изданий по естественным, техническим и гуманитарным наукам. ЭБС Издательства "Лань" обеспечивает доступ к научной, учебной литературе и научным периодическим изданиям по максимальному количеству профильных направлений с соблюдением всех авторских и смежных прав.

Компьютерный зал с установленной САПР Quartus II.

Для выполнения практических и лабораторных работ студентам предоставляются оценочные комплекты (платы для обучения) с различными ПЛИС, произведенных фирмой Altera. Это комплекты DK-MAXII-1270N и DE2 (Development and Education Board для Cyclone II) и DE2-115 (Development and Education Board для Cyclone IV)

Программа составлена в соответствии с требованиями ФГОС ВПО и учебным планом по направлению 011800.62 "Радиофизика" и профилю подготовки Специальные радиотехнические системы .

Автор(ы):
Акчурин А.Д. _____
"__" _____ 201 __ г.

Рецензент(ы):
Корчагин Г.Е. _____
"__" _____ 201 __ г.