

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное учреждение
высшего профессионального образования
"Казанский (Приволжский) федеральный университет"
Институт физики



УТВЕРЖДАЮ

Проректор
по образовательной деятельности КФУ
Проф. Минзарипов Р.Г.

"__" _____ 20__ г.

Программа дисциплины
Компьютеры и системы БЗ.В.7

Направление подготовки: 011800.62 - Радиофизика

Профиль подготовки: Телекоммуникационные системы и информационные технологии

Квалификация выпускника: бакалавр

Форма обучения: очное

Язык обучения: русский

Автор(ы):

Ситников Ю.К.

Рецензент(ы):

-

СОГЛАСОВАНО:

Заведующий(ая) кафедрой: Шерстюков О. Н.

Протокол заседания кафедры No ____ от "____" _____ 201__ г

Учебно-методическая комиссия Института физики:

Протокол заседания УМК No ____ от "____" _____ 201__ г

Регистрационный No

Казань
2015

Содержание

1. Цели освоения дисциплины
2. Место дисциплины в структуре основной образовательной программы
3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля
4. Структура и содержание дисциплины/ модуля
5. Образовательные технологии, включая интерактивные формы обучения
6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов
7. Литература
8. Интернет-ресурсы
9. Материально-техническое обеспечение дисциплины/модуля согласно утвержденному учебному плану

Программу дисциплины разработал(а)(и) доцент, к.н. (доцент) Ситников Ю.К. Кафедра радиофизики Отделение радиофизики и информационных систем, Jury.Sitnikov@kpfu.ru

1. Цели освоения дисциплины

Целями освоения дисциплины Б3.Б.16. "Компьютеры и системы" являются знакомство с физическими принципами работы современных вычислительных машин, выработке умения математически описывать физические процессы, лежащие в основе действия элементов и узлов вычислительных машин. В курсе излагаются арифметические и логические основы действия узлов и устройств вычислительных машин, техника применения интегральных микросхем различной степени интеграции в электронной цифровой вычислительной техники.

2. Место дисциплины в структуре основной образовательной программы высшего профессионального образования

Данная учебная дисциплина включена в раздел " Б3.В.7 Профессиональный" основной образовательной программы 011800.62 Радиофизика и относится к вариативной части. Осваивается на 3 курсе, 5 семестр.

Профессиональный цикл Б3.Б.16. Для освоения данной дисциплины необходимы знания, приобретенные в результате освоения предшествующих дисциплин: "Основы радио-электроники" (Б3.Б.11), "Полупроводниковая электроника" (Б3.Б.13), Б3.Б7. "Теория и применение микроразборных приборов"

Дисциплина входит в профессиональный цикл (блок Б3) бакалавров по направлению 011800.XX - "Радиофизика Микросхемотехника и нанотехнологии" и является обязательной для изучения. Изучение данной дисциплины базируется на подготовке по физике и математике в рамках Государственного стандарта общего образования, дисциплин подготовки бакалавров по направлению 011800.XX - "Радиофизика: Микросхемотехника и наноэлектроника": Б2.В1 "электричество и магнетизм", Б3.Б1 "основы радиоэлектроники" Дисциплина служит основой для последующего изучения дисциплин курса физики Б3.ДВ3 "Цифровые устройства", Б3.ДВ2 "Микропроцессоры в информационных системах".

3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля

В результате освоения дисциплины формируются следующие компетенции:

Шифр компетенции	Расшифровка приобретаемой компетенции
ОК-1 - (общекультурные компетенции)	способность использовать в познавательной и профессиональной деятельности базовые знания в области математики и естественных наук
ПК-1 - (профессиональные компетенции)	способность использовать базовые теоретические знания для решения профессиональных задач;
ПК-5 - (профессиональные компетенции)	способностью применять на практике базовые общепрофессиональные знания теории и методов физических исследований (в соответствии с профилем подготовки);
ПК-6 - (профессиональные компетенции)	способностью пользоваться современными методами обработки, анализа и синтеза информации

В результате освоения дисциплины студент:

1. должен знать:

- принцип действия электронных цифровых вычислительных машин;
- математические модели узлов ЭЦВМ с целью определения их характеристик и основных параметров, а также построение эквивалентных схем для различных режимов работы;
- особенности расчёта узлов ЭЦВМ.

2. должен уметь:

- математически описывать физические процессы, происходящие в устройствах ВМ;
- на основе анализа особенностей микроэлектронных приборов правильно выбирать элементную базу для построения ВМ;

3. должен владеть:

- методами анализа и синтеза устройств ВМ с учетом особенностей работы полупроводниковых приборов и микросхем в различных режимах и частотных диапазонах их применения.
- навыками работы с учебной и научной литературой.

4. должен демонстрировать способность и готовность:

Студент должен демонстрировать способность и готовность разобраться в особенностях машинной арифметики, применять дискретную алгебру для синтеза узлов вычислительных машин, разрабатывать, изготавливать и налаживать узлы вычислительных систем.

4. Структура и содержание дисциплины/ модуля

Общая трудоемкость дисциплины составляет 6 зачетных(ые) единиц(ы) 180 часа(ов).

Форма промежуточного контроля дисциплины экзамен в 5 семестре.

Суммарно по дисциплине можно получить 100 баллов, из них текущая работа оценивается в 50 баллов, итоговая форма контроля - в 50 баллов. Минимальное количество для допуска к зачету 28 баллов.

86 баллов и более - "отлично" (отл.);

71-85 баллов - "хорошо" (хор.);

55-70 баллов - "удовлетворительно" (удов.);

54 балла и менее - "неудовлетворительно" (неуд.).

4.1 Структура и содержание аудиторной работы по дисциплине/ модулю

Тематический план дисциплины/модуля

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
1.	Тема 1. 1. ОСНОВЫ ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ 1. Введение 1.1. Введение в информационные основы вычислительной техники. Непрерывные и дискретные сообщения. Количество информации	5	1	2	2	0	
2.	Тема 2. 1.2. Численные методы решения задач и возможность автоматического выполнения расчётов. Алгоритм. Свойства алгоритма. Алфавит и язык.	5	2	2	2	0	
3.	Тема 3. 1.3. Машинный язык и язык высокого уровня. Уровни описания ЦВМ.	5	3	2	2	0	
4.	Тема 4. 1.4. Блок-схема цифровой вычислительной машины. Назначение основных узлов ВМ. Характеристики ЦВМ и её основных узлов. Работа ВМ по хранимой в памяти программе.	5	4	2	2	0	
5.	Тема 5. 2. Арифметические основы ЦВМ 2.1. Представление информации в ВМ. Натуральные и машинные единицы информации. Бит, байт, слог, слово, поле, массив, разряд, команда.	5	5	2	2	0	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
6.	Тема 6. 2.2. Системы счисления. Позиционные и непозиционные системы счисления. Десятичная, двоичная и восьмеричная системы. Двоично-десятичное и двоично-восьмеричное представление чисел. Код числа. Коды чисел в ЦВМ: целые числа, числа с фиксированной и с плавающей запятой. Прямой, обратный и дополнительный коды. Модифицированные коды. Сложение, вычитание, умножение и деление одноразрядных и многоразрядных двоичных чисел. Операции десятичной арифметики при двоичном кодировании.	5	6	2	2	0	
7.	Тема 7. 3. Логические основы ЦВМ 3.1. Элементы теории булевых функций. Булевы функции одной и двух переменных. Функционально полные системы булевых функций. Теорема о функциональной полноте. Минимизация булевых выражений. Диаграммы Вейча.	5	7	2	2	0	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
8.	<p>Тема 8. II. ЭЛЕМЕНТЫ, УЗЛЫ И УСТРОЙСТВА ЦВМ</p> <p>Элементная база ЦВМ</p> <p>4.1. Комбинационные схемы и цифровые автоматы. Автомат Мура. Таблицы состояний и переходов цифрового автомата.</p> <p>4.2. Технические аналоги булевых функций. Схемы конъюнкции, дизъюнкции и инверсии. Сложные логические схемы. Каскадное включение схем инверсной логики (И-НЕ, ИЛИ-НЕ) для активного низкого уровня и активного высокого уровня.</p> <p>Примеры схем, реализующих сложные функциональные зависимости. Системы логических элементов. Три способа физического представления информации. Параметры потенциального и импульсного сигналов. Три типа схем цифровых устройств. Параллельный и последовательный способы передачи информации. Двухтактная синхронная передача информации.</p>	5	8	2	2	0	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
9.	<p>Тема 9. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные одноктактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Одноктактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, T и RS триггеры и в асинхронный T триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного T триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.</p>	5	9	2	2	0	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
10.	<p>Тема 10. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные одноктактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Одноктактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, T и RS триггеры и в асинхронный T триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного T триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.</p>	5	10	2	0	4	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
11.	Тема 11. 5.2. Счётчики. Разновидности счётчиков. Операции, выполняемые в счётчиках. Асинхронный двоичный счётчик с последовательным переносом на Т триггерах. Сквозной перенос. Синхронный счётчик со сквозным переносом. Групповой перенос.	5	11	2	0	4	
12.	Тема 12. 5.3. Сумматоры. Комбинационный одноразрядный сумматор. Комбинационный одноразрядный вычитатель. Одноразрядный накапливающий сумматор. Последовательный и параллельный многоразрядные сумматоры. Модификации сумматоров. Способы ускорения процесса переноса.	5	12	2	0	4	
13.	Тема 13. 5.4. Дешифраторы. Линейный дешифратор. Двухступенчатый дешифратор (прямоугольный дешифратор). Пирамидальный дешифратор.	5	13	2	0	4	
14.	Тема 14. 5.5. Преобразователи кодов.	5	14	2	0	4	
15.	Тема 15. 5.6. Селекторы и мультиплексоры.	5	15	2	0	4	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
16.	<p>Тема 16. 6. Основные устройства ЦВМ. 6.1. Оперативные запоминающие устройства. Типы устройств памяти ВМ. Характеристики и параметры устройств памяти. Адресные ЗУ. Разновидности организации ОЗУ. Полупроводниковые интегральные ЗУ. Сравнительные характеристики структур ЗУ. Типовая блок-схема ОЗУ. Сверхоперативное ЗУ. Безадресные ЗУ, ассоциативные ЗУ. ЗУ стековые (магазинные). Виртуальная память. Постоянные ЗУ. Полупроводниковые ПЗУ. 6.2. Внешние запоминающие устройства. ЗУ магнитных лентах, жестких и гибких магнитных дисках. Принципы записи на магнитный носитель. Расположение информации на лентах, дисках. Разметка магнитной поверхности. Контроллеры внешних запоминающих устройств. Эксплуатация НГМД и дискет. Лазерные компакт диски.</p>	5	16	2	0	4	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
17.	<p>Тема 17. 6.3. Процессор. Устройство управления. Работа ВМ по хранимой в памяти программе. Кодирование команд. Операнд. Адрес. Одно-, двух-, трехадресные команды. Поля машинных слов. Поле указателей. Поле индикации. Естественный и принудительный порядок выполнения команд. Безусловный и условный переходы. Цикл. Система адресации и способы кодирования адресов. Код адреса и исполнительный адрес. Подразумеваемый операнд. Прямая адресация. Косвенная адресация. Адресация слов переменной длины. Управление работой процессора: "жесткая логика" и микропрограммное управление. Структура микроопераций.</p>	5	17	2	0	4	

N	Раздел Дисциплины/ Модуля	Семестр	Неделя семестра	Виды и часы аудиторной работы, их трудоемкость (в часах)			Текущие формы контроля
				Лекции	Практические занятия	Лабораторные работы	
19.	Тема 19. 7. Обмен информацией и связи между устройствами ЦВМ. 7.1. Интерфейсы вычислительных машин и структура ВМ. Стандартный интерфейс периферийных устройств. Последовательный и параллельные интерфейсы. Синхронный и асинхронный обмен информацией между устройствами машины. Интерфейс ОЗУ. Односвязный и многосвязный интерфейсы ОЗУ. Интерфейс "Общая шина" и структура с индивидуальными интерфейсами. 2. Компьютеры с каналом. Распределение функций между процессором и каналом. Основные функции канала ввода и вывода. Каналы с прямым и с косвенным доступом к памяти	5	18	2	0	4	
	Тема . Итоговая форма контроля	5		0	0	0	экзамен
	Итого			36	18	36	

4.2 Содержание дисциплины

Тема 1. I. ОСНОВЫ ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ 1. Введение 1.1. Введение в информационные основы вычислительной техники. Непрерывные и дискретные сообщения. Количество информации

лекционное занятие (2 часа(ов)):

Введение в информационные основы вычислительной техники. Непрерывные и дискретные сообщения. Количество информации

практическое занятие (2 часа(ов)):

расчёт количества информации.

Тема 2. 1.2. Численные методы решения задач и возможность автоматического выполнения расчётов. Алгоритм. Свойства алгоритма. Алфавит и язык.

лекционное занятие (2 часа(ов)):

Численные методы решения задач и возможность автоматического выполнения расчётов. Алгоритм. Свойства алгоритма. Алфавит и язык.

практическое занятие (2 часа(ов)):

Составление блок-схем алгоритмов.

Тема 3. 1.3. Машинный язык и язык высокого уровня. Уровни описания ЦВМ.

лекционное занятие (2 часа(ов)):

Машинные коды. Машинный язык и язык высокого уровня. Уровни описания ЦВМ.

практическое занятие (2 часа(ов)):

Запись машинных кодов и мнемоник команд процессоров.

Тема 4. 1.4. Блок-схема цифровой вычислительной машины. Назначение основных узлов ВМ. Характеристики ЦВМ и её основных узлов. Работа ВМ по хранимой в памяти программе.

лекционное занятие (2 часа(ов)):

Назначение основных узлов ВМ. Характеристики ЦВМ и её основных узлов. Работа ВМ по хранимой в памяти программе.

практическое занятие (2 часа(ов)):

Назначение основных узлов ВМ. Характеристики ЦВМ и её основных узлов. Работа ВМ по хранимой в памяти программе.

Тема 5. 2. Арифметические основы ЦВМ 2.1. Представление информации в ВМ. Натуральные и машинные единицы информации. Бит, байт, слог, слово, поле, массив, разряд, команда.

лекционное занятие (2 часа(ов)):

Представление информации в ВМ. Натуральные и машинные единицы информации. Бит, байт, слог, слово, поле, массив, разряд, команда

практическое занятие (2 часа(ов)):

Представление информации в ВМ. Натуральные и машинные единицы информации. Бит, байт, слог, слово, поле, массив, разряд, команда

Тема 6. 2.2. Системы счисления. Позиционные и непозиционные системы счисления. Десятичная, двоичная и восьмеричная системы. Двоично-десятичное и двоично-восьмеричное представление чисел. Код числа. Коды чисел в ЦВМ: целые числа, числа с фиксированной и с плавающей запятой. Прямой, обратный и дополнительный коды. Модифицированные коды. Сложение, вычитание, умножение и деление одноразрядных и многоразрядных двоичных чисел. Операции десятичной арифметики при двоичном кодировании.

лекционное занятие (2 часа(ов)):

Позиционные и непозиционные системы счисления. Десятичная, двоичная и восьмеричная системы. Двоично-десятичное и двоично-восьмеричное представление чисел. Код числа.

практическое занятие (2 часа(ов)):

Целые числа, числа с фиксированной и с плавающей запятой. Прямой, обратный и дополнительный коды. Модифицированные коды. Сложение, вычитание, умножение и деление одноразрядных и многоразрядных двоичных чисел. Операции десятичной арифметики при двоичном кодировании

Тема 7. 3. Логические основы ЦВМ 3.1. Элементы теории булевых функций. Булевы функции одной и двух переменных. Функционально полные системы булевых функций. Теорема о функциональной полноте. Минимизация булевых выражений. Диаграммы Вейча.

лекционное занятие (2 часа(ов)):

Элементы теории булевых функций. Булевы функции одной и двух переменных. Функционально полные системы булевых функций. Теорема о функциональной полноте

практическое занятие (2 часа(ов)):

Минимизация булевых выражений. Диаграммы Вейча.

Тема 8. II. ЭЛЕМЕНТЫ, УЗЛЫ И УСТРОЙСТВА ЦВМ Элементная база ЦВМ 4.1. Комбинационные схемы и цифровые автоматы. Автомат Мура. Таблицы состояний и переходов цифрового автомата. 4.2. Технические аналоги булевых функций. Схемы конъюнкции, дизъюнкции и инверсии. Сложные логические схемы. Каскадное включение схем инверсной логики (И-НЕ, ИЛИ-НЕ) для активного низкого уровня и активного высокого уровня. Примеры схем, реализующих сложные функциональные зависимости. Системы логических элементов. Три способа физического представления информации. Параметры потенциального и импульсного сигналов. Три типа схем цифровых устройств. Параллельный и последовательный способы передачи информации. Двухтактная синхронная передача информации.

лекционное занятие (2 часа(ов)):

Элементная база ЦВМ 4.1. Комбинационные схемы и цифровые автоматы. Автомат Мура. Таблицы состояний и переходов цифрового автомата. 4.2. Технические аналоги булевых функций. Схемы конъюнкции, дизъюнкции и инверсии. Сложные логические схемы.

практическое занятие (2 часа(ов)):

Примеры схем, реализующих сложные функциональные зависимости. Системы логических элементов. Три способа физического представления информации. Параметры потенциального и импульсного сигналов. Три типа схем цифровых устройств. Параллельный и последовательный способы передачи информации. Двухтактная синхронная передача информации.

Тема 9. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные однотактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, Т и RS триггеры и в асинхронный Т триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного Т триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.

лекционное занятие (2 часа(ов)):

Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные однотактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ.

практическое занятие (2 часа(ов)):

Преобразование JK триггера в D, Т и RS триггеры и в асинхронный Т триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного Т триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.

Тема 10. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные однотактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, Т и RS триггеры и в асинхронный Т триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного Т триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.

лекционное занятие (2 часа(ов)):

Элементарные автоматы (продолжение). Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера").

лабораторная работа (4 часа(ов)):

Преобразование JK триггера в D, T и RS триггеры и в асинхронный T триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного T триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.

Тема 11. 5.2. Счётчики. Разновидности счётчиков. Операции, выполняемые в счётчиках. Асинхронный двоичный счётчик с последовательным переносом на T триггерах. Сквозной перенос. Синхронный счётчик со сквозным переносом. Групповой перенос.

лекционное занятие (2 часа(ов)):

Счётчики. Разновидности счётчиков. Операции, выполняемые в счётчиках. Асинхронный двоичный счётчик с последовательным переносом на T триггерах. Сквозной перенос. Синхронный счётчик со сквозным переносом. Групповой перенос

лабораторная работа (4 часа(ов)):

Счётчики. Разновидности счётчиков. Операции, выполняемые в счётчиках. Асинхронный двоичный счётчик с последовательным переносом на T триггерах. Сквозной перенос. Синхронный счётчик со сквозным переносом. Групповой перенос

Тема 12. 5.3. Сумматоры. Комбинационный одноразрядный сумматор. Комбинационный одноразрядный вычитатель. Одноразрядный накапливающий сумматор. Последовательный и параллельный многоразрядные сумматоры. Модификации сумматоров. Способы ускорения процесса переноса.

лекционное занятие (2 часа(ов)):

Сумматоры. Комбинационный одноразрядный сумматор. Комбинационный одноразрядный вычитатель. Одноразрядный накапливающий сумматор. Последовательный и параллельный многоразрядные сумматоры. Модификации сумматоров. Способы ускорения процесса переноса.

лабораторная работа (4 часа(ов)):

Комбинационный одноразрядный сумматор.

Тема 13. 5.4. Дешифраторы. Линейный дешифратор. Двухступенчатый дешифратор (прямоугольный дешифратор). Пирамидальный дешифратор.

лекционное занятие (2 часа(ов)):

Дешифраторы. Линейный дешифратор. Двухступенчатый дешифратор (прямоугольный дешифратор). Пирамидальный дешифратор.

лабораторная работа (4 часа(ов)):

Дешифраторы. Синтез и определение параметров.

Тема 14. 5.5. Преобразователи кодов.

лекционное занятие (2 часа(ов)):

Преобразователи кодов.

лабораторная работа (4 часа(ов)):

Преобразователи кодов.

Тема 15. 5.6. Селекторы и мультиплексоры.

лекционное занятие (2 часа(ов)):

Селекторы и мультиплексоры

лабораторная работа (4 часа(ов)):

Селекторы и мультиплексоры

Тема 16. 6. Основные устройства ЦВМ. 6.1. Оперативные запоминающие устройства. Типы устройств памяти ВМ. Характеристики и параметры устройств памяти. Адресные ЗУ. Разновидности организации ОЗУ. Полупроводниковые интегральные ЗУ. Сравнительные характеристики структур ЗУ. Типовая блок-схема ОЗУ. Сверхоперативное ЗУ. Безадресные ЗУ, ассоциативные ЗУ. ЗУ стековые (магазинные). Виртуальная память. Постоянные ЗУ. Полупроводниковые ПЗУ. 6.2. Внешние запоминающие устройства. ЗУ магнитных лент, жестких и гибких магнитных дисках. Принципы записи на магнитный носитель. Расположение информации на лентах, дисках. Разметка магнитной поверхности. Контроллеры внешних запоминающих устройств. Эксплуатация НГМД и дискет. Лазерные компакт диски.

лекционное занятие (2 часа(ов)):

Оперативные запоминающие устройства. Типы устройств памяти ВМ. Характеристики и параметры устройств памяти. Адресные ЗУ. Разновидности организации ОЗУ. Полупроводниковые интегральные ЗУ. Сравнительные характеристики структур ЗУ. Типовая блок-схема ОЗУ. Сверхоперативное ЗУ. Безадресные ЗУ, ассоциативные ЗУ. ЗУ стековые (магазинные). Виртуальная память. Постоянные ЗУ. Полупроводниковые ПЗУ

лабораторная работа (4 часа(ов)):

Характеристики и параметры устройств памяти. Адресные ЗУ

Тема 17. 6.3. Процессор. Устройство управления. Работа ВМ по хранимой в памяти программе. Кодирование команд. Операнд. Адрес. Одно-, двух-, трехадресные команды. Поля машинных слов. Поле указателей. Поле индикации. Естественный и принудительный порядок выполнения команд. Безусловный и условный переходы. Цикл. Система адресации и способы кодирования адресов. Код адреса и исполнительный адрес. Подразумеваемый операнд. Прямая адресация. Косвенная адресация. Адресация слов переменной длины. Управление работой процессора: "жесткая логика" и микропрограммное управление. Структура микроопераций.

лекционное занятие (2 часа(ов)):

Процессор. Устройство управления. Работа ВМ по хранимой в памяти программе. Кодирование команд. Операнд. Адрес. Одно-, двух-, трехадресные команды. Поля машинных слов. Поле указателей. Поле индикации. Естественный и принудительный порядок выполнения команд. Безусловный и условный переходы. Цикл. Система адресации и способы кодирования адресов. Код адреса и исполнительный

лабораторная работа (4 часа(ов)):

Микропрограммный управляющий автомат.

Тема 19. 7. Обмен информацией и связи между устройствами ЦВМ. 7.1. Интерфейсы вычислительных машин и структура ВМ. Стандартный интерфейс периферийных устройств. Последовательный и параллельные интерфейсы. Синхронный и асинхронный обмен информацией между устройствами машины. Интерфейс ОЗУ. Односвязный и многосвязный интерфейсы ОЗУ. Интерфейс "Общая шина" и структура с индивидуальными интерфейсами. 7.2. Компьютеры с каналом. Распределение функций между процессором и каналом. Основные функции канала ввода и вывода. Каналы с прямым и с косвенным доступом к памяти

лекционное занятие (2 часа(ов)):

Интерфейсы вычислительных машин и структура ВМ. Стандартный интерфейс периферийных устройств. Последовательный и параллельные интерфейсы. Синхронный и асинхронный обмен информацией между устройствами машины. Интерфейс ОЗУ. Односвязный и многосвязный интерфейсы ОЗУ.

лабораторная работа (4 часа(ов)):

Интерфейс "Общая шина". Защита от сбоев.

4.3 Структура и содержание самостоятельной работы дисциплины (модуля)

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
1.	Тема 1. 1. ОСНОВЫ ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ 1. Введение 1.1. Введение в информационные основы вычислительной техники. Непрерывные и дискретные сообщения. Количество информации	5	1	Работа с конспектом лекций.	5	Отчёт
2.	Тема 2. 1.2. Численные методы решения задач и возможность автоматического выполнения расчётов. Алгоритм. Свойства алгоритма. Алфавит и язык.	5	2	Работа с конспектом лекций.	5	Отчёт
3.	Тема 3. 1.3. Машинный язык и язык высокого уровня. Уровни описания ЦВМ.	5	3	Работа с конспектом лекций.	5	Отчёт
4.	Тема 4. 1.4. Блок-схема цифровой вычислительной машины. Назначение основных узлов ВМ. Характеристики ЦВМ и её основных узлов. Работа ВМ по хранимой в памяти программе.	5	4	Работа с конспектом лекций.	5	Отчёт
5.	Тема 5. 2. Арифметические основы ЦВМ 2.1. Представление информации в ВМ. Натуральные и машинные единицы информации. Бит, байт, слог, слово, поле, массив, разряд, команда.	5	5	Работа с конспектом лекций.	5	Отчёт

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
6.	<p>Тема 6. 2.2. Системы счисления. Позиционные и непозиционные системы счисления. Десятичная, двоичная и восьмеричная системы. Двоично-десятичное и двоично-восьмеричное представление чисел. Код числа. Коды чисел в ЦВМ: целые числа, числа с фиксированной и с плавающей запятой. Прямой, обратный и дополнительный коды. Модифицированные коды. Сложение, вычитание, умножение и деление одноразрядных и многоразрядных двоичных чисел. Операции десятичной арифметики при двоичном кодировании.</p>	5	6	Работа с конспектом лекций.	5	Коллоквиум
7.	<p>Тема 7. 3. Логические основы ЦВМ 3.1. Элементы теории булевых функций. Булевы функции одной и двух переменных. Функционально полные системы булевых функций. Теорема о функциональной полноте. Минимизация булевых выражений. Диаграммы Вейча.</p>	5	7	Работа с конспектом лекций.	5	Контрольная работа

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
8.	<p>Тема 8. II. ЭЛЕМЕНТЫ, УЗЛЫ И УСТРОЙСТВА ЦВМ Элементная база ЦВМ 4.1. Комбинационные схемы и цифровые автоматы. Автомат Мура. Таблицы состояний и переходов цифрового автомата. 4.2. Технические аналоги булевых функций. Схемы конъюнкции, дизъюнкции и инверсии. Сложные логические схемы. Каскадное включение схем инверсной логики (И-НЕ, ИЛИ-НЕ) для активного низкого уровня и активного высокого уровня. Примеры схем, реализующих сложные функциональные зависимости. Системы логических элементов. Три способа физического представления информации. Параметры потенциального и импульсного сигналов. Три типа схем цифровых устройств. Параллельный и последовательный способы передачи информации. Двухтактная синхронная передача информации.</p>	5	8	Работа с конспектом лекций.	5	Коллоквиум

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
9.	<p>Тема 9. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные одноклапанные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Одноклапанный RS триггер на элементах И-ИЛИ-НЕ. Двухклапанный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, T и RS триггеры и в асинхронный T триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного T триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.</p>	5	9	<p>Работа с книгой: Ситников Ю.К. Основы цифровой вычислительной техники.</p>	5	Собеседование

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
10.	<p>Тема 10. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные одноклапанные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Одноклапанный RS триггер на элементах И-ИЛИ-НЕ. Двухклапанный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, T и RS триггеры и в асинхронный T триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного T триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.</p>	5	10	Работа с книгой: Ситников Ю.К. Основы цифровой вычислительной техники.	5	Проверка домашнего задания

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
11.	Тема 11. 5.2. Счётчики. Разновидности счётчиков. Операции, выполняемые в счётчиках. Асинхронный двоичный счётчик с последовательным переносом на T триггерах. Сквозной перенос. Синхронный счётчик со сквозным переносом. Групповой перенос.	5	11	Работа с книгой: Ситников Ю.К. Основы цифровой вычислительной техники.	5	Беседа с преподавателем
12.	Тема 12. 5.3. Сумматоры. Комбинационный одноразрядный сумматор. Комбинационный одноразрядный вычитатель. Одноразрядный накапливающий сумматор. Последовательный и параллельный многоразрядные сумматоры. Модификации сумматоров. Способы ускорения процесса переноса.	5	12	Работа с книгой: Ситников Ю.К. Основы цифровой вычислительной техники.	5	Беседа с преподавателем
13.	Тема 13. 5.4. Дешифраторы. Линейный дешифратор. Двухступенчатый дешифратор (прямоугольный дешифратор). Пирамидальный дешифратор.	5	13	Работа с конспектом лекций	5	отчёт
14.	Тема 14. 5.5. Преобразователи кодов.	5	14	Работа с конспектом лекций.	5	отчёт
15.	Тема 15. 5.6. Селекторы и мультиплексоры.	5	15	Работа с конспектом лекций.	5	отчёт

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
16.	<p>Тема 16. 6. Основные устройства ЦВМ. 6.1. Оперативные запоминающие устройства. Типы устройств памяти ВМ. Характеристики и параметры устройств памяти. Адресные ЗУ. Разновидности организации ОЗУ. Полупроводниковые интегральные ЗУ. Сравнительные характеристики структур ЗУ. Типовая блок-схема ОЗУ. Сверхоперативное ЗУ. Безадресные ЗУ, ассоциативные ЗУ. ЗУ стековые (магазинные). Виртуальная память. Постоянные ЗУ. Полупроводниковые ПЗУ. 6.2. Внешние запоминающие устройства. ЗУ магнитных лентах, жестких и гибких магнитных дисках. Принципы записи на магнитный носитель. Расположение информации на лентах, дисках. Разметка магнитной поверхности. Контроллеры внешних запоминающих устройств. Эксплуатация НГМД и дискет. Лазерные компакт диски.</p>	5	16	Работа с конспектом лекций.	5	отчёт

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
17.	<p>Тема 17. 6.3. Процессор. Устройство управления. Работа ВМ по хранимой в памяти программе. Кодирование команд. Операнд. Адрес. Одно-, двух-, трехадресные команды. Поля машинных слов. Поле указателей. Поле индикации. Естественный и принудительный порядок выполнения команд. Безусловный и условный переходы. Цикл. Система адресации и способы кодирования адресов. Код адреса и исполнительный адрес. Подразумеваемый операнд. Прямая адресация. Косвенная адресация. Адресация слов переменной длины. Управление работой процессора: "жесткая логика" и микропрограммное управление. Структура микроопераций.</p>	5	17	Работа с конспектом лекций.	5	отчёт

N	Раздел Дисциплины	Семестр	Неделя семестра	Виды самостоятельной работы студентов	Трудоемкость (в часах)	Формы контроля самостоятельной работы
19.	Тема 19. 7. Обмен информацией и связи между устройствами ЦВМ. 7.1. Интерфейсы вычислительных машин и структура ВМ. Стандартный интерфейс периферийных устройств. Последовательный и параллельные интерфейсы. Синхронный и асинхронный обмен информацией между устройствами машины. Интерфейс ОЗУ. Односвязный и многосвязный интерфейсы ОЗУ. Интерфейс "Общая шина" и структура с индивидуальными интерфейсами. 2. Компьютеры с каналом. Распределение функций между процессором и каналом. Основные функции канала ввода и вывода. Каналы с прямым и с косвенным доступом к памяти	5	18	Работа с конспектом лекций.	5	отчёт
	Итого				90	

5. Образовательные технологии, включая интерактивные формы обучения

Используются следующие формы учебной работы: лекции, самостоятельная работа студента (выполнение индивидуальных домашних заданий), консультации.

Лекционные занятия сопровождаются решением задач, что позволяет студентам лучше усвоить материал лекции. Имеются материалы курса лекций и описаний лабораторных работ в электронном виде.

6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов

Тема 1. 1. ОСНОВЫ ЦИФРОВОЙ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ 1.1. Введение 1.1. Введение в информационные основы вычислительной техники. Непрерывные и дискретные сообщения. Количество информации

Отчёт , примерные вопросы:

Непрерывные и дискретные сообщения. Количество информации

Тема 2. 1.2. Численные методы решения задач и возможность автоматического выполнения расчётов. Алгоритм. Свойства алгоритма. Алфавит и язык.

Отчёт , примерные вопросы:

Алгоритм. Свойства алгоритма. Алфавит и язык.

Тема 3. 1.3. Машинный язык и язык высокого уровня. Уровни описания ЦВМ.

Отчёт , примерные вопросы:

Уровни описания ЦВМ.

Тема 4. 1.4. Блок-схема цифровой вычислительной машины. Назначение основных узлов ВМ. Характеристики ЦВМ и её основных узлов. Работа ВМ по хранимой в памяти программе.

Отчёт, примерные вопросы:

Назначение основных узлов ВМ. Характеристики ЦВМ и её основных узлов. Работа ВМ по хранимой в памяти программе

Тема 5. 2. Арифметические основы ЦВМ 2.1. Представление информации в ВМ. Натуральные и машинные единицы информации. Бит, байт, слог, слово, поле, массив, разряд, команда.

Отчёт , примерные вопросы:

Представление информации в ВМ. Натуральные и машинные единицы информации. Бит, байт, слог, слово, поле, массив, разряд, команда.

Тема 6. 2.2. Системы счисления. Позиционные и непозиционные системы счисления. Десятичная, двоичная и восьмеричная системы. Двоично-десятичное и двоично-восьмеричное представление чисел. Код числа. Коды чисел в ЦВМ: целые числа, числа с фиксированной и с плавающей запятой. Прямой, обратный и дополнительный коды. Модифицированные коды. Сложение, вычитание, умножение и деление одноразрядных и многоразрядных двоичных чисел. Операции десятичной арифметики при двоичном кодировании.

Коллоквиум , примерные вопросы:

Позиционные и непозиционные системы счисления. Десятичная, двоичная и восьмеричная системы. Двоично-десятичное и двоично-восьмеричное представление чисел. Код числа. Коды чисел в ЦВМ: целые числа, числа с фиксированной и с плавающей запятой. Прямой, обратный и дополнительный коды. Модифицированные коды. Сложение, вычитание, умножение и деление одноразрядных и многоразрядных двоичных чисел.

Тема 7. 3. Логические основы ЦВМ 3.1. Элементы теории булевых функций. Булевы функции одной и двух переменных. Функционально полные системы булевых функций. Теорема о функциональной полноте. Минимизация булевых выражений. Диаграммы Вейча.

Контрольная работа , примерные вопросы:

Элементы теории булевых функций. Булевы функции одной и двух переменных. Функционально полные системы булевых функций. Теорема о функциональной полноте. Минимизация булевых выражений

Тема 8. II. ЭЛЕМЕНТЫ, УЗЛЫ И УСТРОЙСТВА ЦВМ Элементная база ЦВМ 4.1.

Комбинационные схемы и цифровые автоматы. Автомат Мура. Таблицы состояний и переходов цифрового автомата. 4.2. Технические аналоги булевых функций. Схемы конъюнкции, дизъюнкции и инверсии. Сложные логические схемы. Каскадное включение схем инверсной логики (И-НЕ, ИЛИ-НЕ) для активного низкого уровня и активного высокого уровня. Примеры схем, реализующих сложные функциональные зависимости. Системы логических элементов. Три способа физического представления информации. Параметры потенциального и импульсного сигналов. Три типа схем цифровых устройств. Параллельный и последовательный способы передачи информации. Двухтактная синхронная передача информации.

Коллоквиум , примерные вопросы:

Комбинационные схемы и цифровые автоматы. Автомат Мура. Таблицы состояний и переходов цифрового автомата. 4.2. Технические аналоги булевых функций. Схемы конъюнкции, дизъюнкции и инверсии. Сложные логические схемы. Каскадное включение схем инверсной логики (И-НЕ, ИЛИ-НЕ) для активного низкого уровня и активного высокого уровня. Примеры схем, реализующих сложные функциональные зависимости. Системы логических элементов. Три способа физического представления информации. Параметры потенциального и импульсного сигналов. Три типа схем цифровых устройств.

Тема 9. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные однотактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, T и RS триггеры и в асинхронный T триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного T триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.

Собеседование , примерные вопросы:

Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные однотактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера").

Тема 10. 4.3. Схемы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Техническая реализация элементарных автоматов. Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные однотактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера"). JK триггер на клапанах И-НЕ. Преобразование JK триггера в D, T и RS триггеры и в асинхронный T триггер. DV триггер - схема на клапанах И-НЕ. Построение синхронного и асинхронного T триггеров из DV триггера. DV триггер в режиме D триггера. Таблицы состояний и переходов перечисленных триггеров.

Проверка домашнего задания , примерные вопросы:

Техническая реализация элементарных автоматов (продолжение). Триггеры интегральных комплексов элементов. Триггеры асинхронные и синхронные. Обозначения. Триггеры RS, асинхронные на элементах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Синхронные однотактные RS триггеры на элементах И-НЕ, ИЛИ-НЕ. Однотактный RS триггер на элементах И-ИЛИ-НЕ. Двухтактный RS триггер на клапанах И-НЕ. Т триггер на клапанах И-НЕ. Синхронный триггер типа D (по схеме "три триггера").

Тема 11. 5.2. Счётчики. Разновидности счётчиков. Операции, выполняемые в счётчиках. Асинхронный двоичный счётчик с последовательным переносом на T триггерах. Сквозной перенос. Синхронный счётчик со сквозным переносом. Групповой перенос.

Беседа с преподавателем , примерные вопросы:

Разновидности счётчиков. Операции, выполняемые в счётчиках. Асинхронный двоичный счётчик с последовательным переносом на T триггерах. Сквозной перенос. Синхронный счётчик со сквозным переносом. Групповой перенос.

Тема 12. 5.3. Сумматоры. Комбинационный одноразрядный сумматор. Комбинационный одноразрядный вычитатель. Одноразрядный накапливающий сумматор. Последовательный и параллельный многоразрядные сумматоры. Модификации сумматоров. Способы ускорения процесса переноса.

Беседа с преподавателем , примерные вопросы:

Комбинационный одноразрядный сумматор. Комбинационный одноразрядный вычитатель. Одноразрядный накапливающий сумматор. Последовательный и параллельный многоразрядные сумматоры. Модификации сумматоров. Способы ускорения процесса переноса

Тема 13. 5.4. Дешифраторы. Линейный дешифратор. Двухступенчатый дешифратор (прямоугольный дешифратор). Пирамидальный дешифратор.

отчёт , примерные вопросы:

Линейный дешифратор. Двухступенчатый дешифратор (прямоугольный дешифратор). Пирамидальный дешифратор.

Тема 14. 5.5. Преобразователи кодов.

отчёт , примерные вопросы:

Преобразователи кодов

Тема 15. 5.6. Селекторы и мультиплексоры.

отчёт , примерные вопросы:

Селекторы и мультиплексоры

Тема 16. 6. Основные устройства ЦВМ. 6.1. Оперативные запоминающие устройства. Типы устройств памяти ВМ. Характеристики и параметры устройств памяти. Адресные ЗУ. Разновидности организации ОЗУ. Полупроводниковые интегральные ЗУ. Сравнительные характеристики структур ЗУ. Типовая блок-схема ОЗУ. Сверхоперативное ЗУ. Безадресные ЗУ, ассоциативные ЗУ. ЗУ стековые (магазинные). Виртуальная память. Постоянные ЗУ. Полупроводниковые ПЗУ. 6.2. Внешние запоминающие устройства. ЗУ магнитных лентах, жестких и гибких магнитных дисках. Принципы записи на магнитный носитель. Расположение информации на лентах, дисках. Разметка магнитной поверхности. Контроллеры внешних запоминающих устройств. Эксплуатация НГМД и дискет. Лазерные компакт диски.

отчёт , примерные вопросы:

Оперативные запоминающие устройства. Типы устройств памяти ВМ. Характеристики и параметры устройств памяти. Адресные ЗУ. Разновидности организации ОЗУ. Полупроводниковые интегральные ЗУ. Сравнительные характеристики структур ЗУ. Типовая блок-схема ОЗУ. Сверхоперативное ЗУ. Безадресные ЗУ, ассоциативные ЗУ. ЗУ стековые (магазинные). Виртуальная память. Постоянные ЗУ. Полупроводниковые ПЗУ. 6.2. Внешние запоминающие устройства. ЗУ магнитных лентах, жестких и гибких магнитных дисках. Принципы записи на магнитный носитель.

Тема 17. 6.3. Процессор. Устройство управления. Работа ВМ по хранимой в памяти программе. Кодирование команд. Операнд. Адрес. Одно-, двух-, трехадресные команды. Поля машинных слов. Поле указателей. Поле индикации. Естественный и принудительный порядок выполнения команд. Безусловный и условный переходы. Цикл. Система адресации и способы кодирования адресов. Код адреса и исполнительный адрес. Подразумеваемый операнд. Прямая адресация. Косвенная адресация. Адресация слов переменной длины. Управление работой процессора: "жесткая логика" и микропрограммное управление. Структура микроопераций.

отчёт , примерные вопросы:

Процессор. Устройство управления. Работа ВМ по хранимой в памяти программе. Кодирование команд. Операнд. Адрес. Одно-, двух-, трехадресные команды. Поля машинных слов. Поле указателей. Поле индикации. Естественный и принудительный порядок выполнения команд. Безусловный и условный переходы. Цикл. Система адресации и способы кодирования адресов. Код адреса и исполнительный адрес. Подразумеваемый операнд. Прямая адресация. Косвенная адресация. Адресация слов переменной длины. Управление работой процессора: "жёсткая логика" и микропрограммное управление. Структура микроопераций.

Тема 19. 7. Обмен информацией и связи между устройствами ЦВМ. 7.1. Интерфейсы вычислительных машин и структура ВМ. Стандартный интерфейс периферийных устройств. Последовательный и параллельный интерфейсы. Синхронный и асинхронный обмен информацией между устройствами машины. Интерфейс ОЗУ. Односвязный и многосвязный интерфейсы ОЗУ. Интерфейс "Общая шина" и структура с индивидуальными интерфейсами. 2. Компьютеры с каналом. Распределение функций между процессором и каналом. Основные функции канала ввода и вывода. Каналы с прямым и с косвенным доступом к памяти

отчёт, примерные вопросы:

Интерфейсы вычислительных машин и структура ВМ. Стандартный интерфейс периферийных устройств. Последовательный и параллельный интерфейсы. Синхронный и асинхронный обмен информацией между устройствами машины. Интерфейс ОЗУ. Односвязный и многосвязный интерфейсы ОЗУ. Интерфейс "Общая шина" и структура с индивидуальными интерфейсами.

Тема . Итоговая форма контроля

Примерные вопросы к экзамену:

Комплет вопросов к экзамену.

7.1. Основная литература:

1. Гук М. Аппаратные средства IBM PC. Энциклопедия. - СПб, Питер Ком, 1999 (или 2003). - 816 с.
2. Таненбаум Э. Архитектура компьютера. - СПб.: Питер, 2002. - 704 с.
3. Столлингс В. Структурная организация и архитектура компьютерных систем. Пер. с англ. - М.: Издательский дом "Вильямс", 2002. - 896 с.
4. Фрике К. Вводный курс цифровой электроники. Москва: Техносфера, 2003. - 432 с.
5. Точки, Рональд, Дж, Уидмер, Нил, С. Цифровые системы. Теория и практика. Пер. с англ. - М.: Издательский дом "Вильямс", 2004. ? 1024 с.
6. Угрюмов Е.П. цифровая схемотехника: учеб пособие для вузов. - 2-е изд., - СПб.: БХВ - Петербург, 2004. ? 800 с.
7. Брей Б. Микропроцессоры Intel: 8086/8088, 80186/80188, 80286, 80386, 80486, Pentium, Pentium Pro Processor, Pentium II, Pentium III, Pentium 4. Архитектура, программирование и интерфейсы. Шестое издание: Пер. с англ. - СПб.: БХВ- Петербург, 2005. - 1328 с.
8. Партала О.Н. Цифровая электроника. ? СПб: Наука и Техника, 2001. - 224 с. (639268) (Все устройства на микросхемах).
9. Садов В.С. Цифровая электроника: Конспект лекций. Мн.: БГУ, 2002. - 50с. (0-736450). (Принцип построения ключевых схем, полусумматор, мультиплексор, генераторы кодов).

7.2. Дополнительная литература:

1. Ситников Ю.К. Основы цифровой вычислительной техники. Изд. Каз. Ун-та, 1992. - 168 с.

7.3. Интернет-ресурсы:

- Каган Б.М. Электронные вычислительные машины и системы. - <http://kpfu.ru/lib>
Ситников Ю.К. основы цифровой вычислительной техники - <http://kpfu.ru/lib>
Столлингс В. Операционные системы - <http://kpfu.ru/lib>

Таненбаум Э. Архитектура компьютера - <http://kpfu.ru/lib>

Хамахер К., Вранешич З., Заки С. Организация ЭВМ. - <http://kpfu.ru/lib>

8. Материально-техническое обеспечение дисциплины(модуля)

Освоение дисциплины "Компьютеры и системы" предполагает использование следующего материально-технического обеспечения:

Компьютерный класс, представляющий собой рабочее место преподавателя и не менее 15 рабочих мест студентов, включающих компьютерный стол, стул, персональный компьютер, лицензионное программное обеспечение. Каждый компьютер имеет широкополосный доступ в сеть Интернет. Все компьютеры подключены к корпоративной компьютерной сети КФУ и находятся в едином домене.

Учебно-методическая литература для данной дисциплины имеется в наличии в электронно-библиотечной системе "КнигаФонд", доступ к которой предоставлен студентам. Электронно-библиотечная система "КнигаФонд" реализует легальное хранение, распространение и защиту цифрового контента учебно-методической литературы для вузов с условием обязательного соблюдения авторских и смежных прав. КнигаФонд обеспечивает широкий законный доступ к необходимым для образовательного процесса изданиям с использованием инновационных технологий и соответствует всем требованиям новых ФГОС ВПО.

лаборатории:

цифровых узлов,

и Проектирования устройств на программируемой логике.

Программа составлена в соответствии с требованиями ФГОС ВПО и учебным планом по направлению 011800.62 "Радиофизика" и профилю подготовки Телекоммуникационные системы и информационные технологии .

Автор(ы):

Ситников Ю.К. _____

"__" _____ 201__ г.

Рецензент(ы):

"__" _____ 201__ г.