МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное учреждение
высшего профессионального образования
"Казанский (Приволжский) федеральный университет"
Институт физики

**УТВЕРЖДАЮ**
Проректор
по образовательной деятельности КФУ
Проф. Минзарипов Р.Г.
_____
"___"_____20___ г.

# Программа дисциплины

Программируемая логика Б3.ДВ.3

Направление подготовки: 011800.62 - Радиофизика
Профиль подготовки: Специальные радиотехнические системы
Квалификация выпускника: бакалавр
Форма обучения: очное
Язык обучения: русский
**Автор(ы):**
Акчурин А.Д.
**Рецензент(ы):**
-

**СОГЛАСОВАНО:**
Заведующий(ая) кафедрой:
Протокол заседания кафедры No ___ от "____" _____ 201__г
Учебно-методическая комиссия Института физики:
Протокол заседания УМК No ____ от "____" _____ 201__г

Регистрационный No

Казань
2014

## Содержание

1. Цели освоения дисциплины
2. Место дисциплины в структуре основной образовательной программы
3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля
4. Структура и содержание дисциплины/ модуля
5. Образовательные технологии, включая интерактивные формы обучения
6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов
7. Литература
8. Интернет-ресурсы
9. Материально-техническое обеспечение дисциплины/модуля согласно утвержденному учебному плану

Программу дисциплины разработал(а)(и) заведующий кафедрой, к.н. (доцент) Акчурин А.Д.
Кафедра радиоастрономии Отделение радиофизики и информационных систем ,
Adel.Akchurin@kpfu.ru

## 1. Цели освоения дисциплины

Сформировать представления о структуре современных микросхем с программируемыми логическими характеристиками (ПЛИС) и возможностях реализации разнообразных цифровых логических схем. Ознакомить учащихся с основными приемами проектирования цифровых схем, их проверки и размещения в ПЛИС. Приобретение практических навыков в создании схем как максимально наглядным, но уходящим способом - графическим соединением элементов вентильной и регистровой логики, так и набирающим силу языковым описанием проектируемых схем. В качестве такового в данном курсе используется Verilog описание цифровых схем.

## 2. Место дисциплины в структуре основной образовательной программы высшего профессионального образования

Данная учебная дисциплина включена в раздел " Б3.ДВ.3 Профессиональный" основной образовательной программы 011800.62 Радиофизика и относится к дисциплинам по выбору. Осваивается на 4 курсе, 8 семестр.

Цикл (раздел) ООП, к которому относится данная дисциплина - Б3.В3

Желательные входные курсы: Информатика: Алгоритмы и языки программирования, информационные технологии, новые информационные технологии в науке и образовании, микропроцессоры и автоматизация эксперимента, принципы организации и устройства компьютера, персональные компьютеры.

## 3. Компетенции обучающегося, формируемые в результате освоения дисциплины /модуля

В результате освоения дисциплины формируются следующие компетенции:

В результате освоения дисциплины студент:

1. должен знать:

понимать структуру и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС), различать возможности двух основных разновидностей ПЛИС: FPGA и CPLD.

2. должен уметь:

овладеть приемами работы с современными средствами автоматического проектирования (САПР) цифровых схем в ПЛИС.

уметь рисовать (разрабатывать) цифровую схему в среде графического схеморедактора, соединяющего линиями графические элементы вентильной и регистровой логики

3. должен владеть:

использовать структуру и базовые конструкции языка Verilog HDL для языкового описания цифровых схем

быть способными выполнять программное тестирование спроектированной схемы.

## 4. Структура и содержание дисциплины/ модуля

Общая трудоемкость дисциплины составляет 2 зачетных(ые) единиц(ы) 72 часа(ов).

Форма промежуточного контроля дисциплины зачет в 8 семестре.

Суммарно по дисциплине можно получить 100 баллов, из них текущая работа оценивается в 50 баллов, итоговая форма контроля - в 50 баллов. Минимальное количество для допуска к зачету 28 баллов.

86 баллов и более - "отлично" (отл.);

71-85 баллов - "хорошо" (хор.);

55-70 баллов - "удовлетворительно" (удов.);

54 балла и менее - "неудовлетворительно" (неуд.).

## 4.1 Структура и содержание аудиторной работы по дисциплине/ модулю

### Тематический план дисциплины/модуля

| N | Раздел Дисциплины/ Модуля | Семестр | Неделя семестра | Виды и часы аудиторной работы, их трудоемкость (в часах) | | | Текущие формы контроля |
|---|---|---|---|---|---|---|---|
| | | | | Лекции | Практические занятия | Лабораторные работы | |
| 1. | Тема 1. Введение. Цели и назначение курса. Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС). Семейства CPLD-архитектур (MAX3000, 7000, 9000, MAX II и MAX V), FPGA-архитектур (FLEX10K, Cyclone, Arria, Stratix) | 8 | | 0 | 0 | 0 | |

| N | Раздел Дисциплины/ Модуля | Семестр | Неделя семестра | Виды и часы аудиторной работы, их трудоемкость (в часах) | | | Текущие формы контроля |
|---|---|---|---|---|---|---|---|
| | | | | Лекции | Практические занятия | Лабораторные работы | |
| 2. | Тема 2. JTAG-интерфейс (стандарта IEEE Std. 1149.1-1990) и метод граничного сканирования Ячейки сканирования. TAP-контроллер. Диаграмма состояний автомата контроллера. Транспортный механизм JTAG-интерфейса (контакты TCK (Test Clock Input) ? синхронизация передачи данных и команд; TMS (Test Mode Select) ? выбор режима передачи; TDI (Test Data Input) ? вход данных и команд; TDO (Test Data Output) ? выход данных, команд или состояния; TRST (Test ReSeT)) Применение JTAG-интерфейса для конфигурирования ПЛИС. Проверка работоспособности ПЛИС на ресурсах JTAG-интерфейса | 8 | | 0 | 0 | 0 | |
| 3. | Тема 3. Система автоматизированного проектирования (САПР) Quartus II. Графический ввод схемы с помощью схеморедактора. | 8 | | 0 | 0 | 0 | |

| N | Раздел Дисциплины/ Модуля | Семестр | Неделя семестра | Виды и часы аудиторной работы, их трудоемкость (в часах) | | | Текущие формы контроля |
|---|---|---|---|---|---|---|---|
| | | | | Лекции | Практические занятия | Лабораторные работы | |
| 4. | Тема 4. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Базовая единица языка модуль. Элементы проектного модуля декларации и операторы. Стили написания программ поведенческое и структурное представления дискретных устройств. Поддержка процессов как нисходящего, так и восходящего проектирования. Представление взаимодействующих подсистем на основе как параллельных, так и последовательных операторов и процедур. Возможности параллельных операторов для цепей без памяти. Возможности последовательных операторов, в выделенных программных блоках. Последовательные операторы присваивания, условный оператор if, оператор выбора case и операторы повторения | 8 | | 0 | 0 | 0 | |
| 5. | Тема 5. Организация комбинаторной логики от простейших вентильных схем до разнообразных мультиплексоров и шифраторов/дешифраторов. Блоки always, управляемые списком чувствительности | 8 | | 0 | 0 | 0 | |

| N | Раздел Дисциплины/ Модуля | Семестр | Неделя семестра | Виды и часы аудиторной работы, их трудоемкость (в часах) | | | Текущие формы контроля |
|---|---|---|---|---|---|---|---|
| | | | | Лекции | Практические занятия | Лабораторные работы | |
| 6. | Тема 6. Организация последовательностной (регистровой) логики от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями | 8 | | 0 | 0 | 0 | |
| . | Тема . Итоговая форма контроля | 8 | | 0 | 0 | 0 | зачет |
| | Итого | | | 0 | 0 | 0 | |

**4.2 Содержание дисциплины**

**Тема 1. Введение. Цели и назначение курса. Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС). Семейства CPLD-архитектур (MAX3000, 7000, 9000, MAX II и MAX V), FPGA-архитектур (FLEX10K, Cyclone, Arria, Stratix)**

**Тема 2. JTAG-интерфейс (стандарта IEEE Std. 1149.1-1990) и метод граничного сканирования Ячейки сканирования. TAP-контроллер. Диаграмма состояний автомата контроллера. Транспортный механизм JTAG-интерфейса (контакты TCK (Test Clock Input) ? синхронизация передачи данных и команд; TMS (Test Mode Select) ? выбор режима передачи; TDI (Test Data Input) ? вход данных и команд; TDO (Test Data Output) ? выход данных, команд или состояния; TRST (Test ReSeT)) Применение JTAG-интерфейса для конфигурирования ПЛИС. Проверка работоспособности ПЛИС на ресурсах JTAG-интерфейса**

**Тема 3. Система автоматизированного проектирования (САПР) Quartus II. Графический ввод схемы с помощью схеморедактора.**

**Тема 4. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Базовая единица языка модуль. Элементы проектного модуля декларации и операторы. Стили написания программ поведенческое и структурное представления дискретных устройств. Поддержка процессов как нисходящего, так и восходящего проектирования. Представление взаимодействующих подсистем на основе как параллельных, так и последовательных операторов и процедур. Возможности параллельных операторов для цепей без памяти. Возможности последовательных операторов, в выделенных программных блоках. Последовательные операторы присваивания, условный оператор if, оператор выбора case и операторы повторения**

**Тема 5. Организация комбинаторной логики от простейших вентильных схем до разнообразных мультиплексоров и шифраторов/дешифраторов. Блоки always, управляемые списком чувствительности**

**Тема 6. Организация последовательностной (регистровой) логики от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями**


ЭЛЕКТРОННЫЙ УНИВЕРСИТЕТ
ИНФОРМАЦИОННО-АНАЛИТИЧЕСКАЯ СИСТЕМА КФУ

## 5. Образовательные технологии, включая интерактивные формы обучения

Активные и интерактивные формы проведения занятий (работа с современным реальными аппаратными и программными средствами системного программирования, выполнение и защита заданий лабораторных работ, разбор конкретных ситуаций, объяснение результатов работы конкретной компьютерной системы)

## 6. Оценочные средства для текущего контроля успеваемости, промежуточной аттестации по итогам освоения дисциплины и учебно-методическое обеспечение самостоятельной работы студентов

**Тема 1. Введение. Цели и назначение курса. Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС). Семейства CPLD-архитектур (MAX3000, 7000, 9000, MAX II и MAX V), FPGA-архитектур (FLEX10K, Cyclone, Arria, Stratix)**

**Тема 2. JTAG-интерфейс (стандарта IEEE Std. 1149.1-1990) и метод граничного сканирования Ячейки сканирования. TAP-контроллер. Диаграмма состояний автомата контроллера. Транспортный механизм JTAG-интерфейса (контакты TCK (Test Clock Input) ? синхронизация передачи данных и команд; TMS (Test Mode Select) ? выбор режима передачи; TDI (Test Data Input) ? вход данных и команд; TDO (Test Data Output) ? выход данных, команд или состояния; TRST (Test ReSeT)) Применение JTAG-интерфейса для конфигурирования ПЛИС. Проверка работоспособности ПЛИС на ресурсах JTAG-интерфейса**

**Тема 3. Система автоматизированного проектирования (САПР) Quartus II. Графический ввод схемы с помощью схеморедактора.**

**Тема 4. Языковое описание схемы на языке Verilog HDL. Структура программы на языке Verilog. Базовая единица языка модуль. Элементы проектного модуля декларации и операторы. Стили написания программ поведенческое и структурное представления дискретных устройств. Поддержка процессов как нисходящего, так и восходящего проектирования. Представление взаимодействующих подсистем на основе как параллельных, так и последовательных операторов и процедур. Возможности параллельных операторов для цепей без памяти. Возможности последовательных операторов, в выделенных программных блоках. Последовательные операторы присваивания, условный оператор if, оператор выбора case и операторы повторения**

**Тема 5. Организация комбинаторной логики от простейших вентильных схем до разнообразных мультиплексоров и шифраторов/дешифраторов. Блоки always, управляемые списком чувствительности**

**Тема 6. Организация последовательностной (регистровой) логики от регистров до счетчиков. Блоки always, управляемые фронтом тактового сигнала Сдвиговые регистры и линии задержки с заданными ответвлениями**

**Тема . Итоговая форма контроля**

Примерные вопросы к зачету:

Темы лабораторных работ:

1. Рисование схемы в графическом схеморедакторе и написание программы на языке Verilog, реализующей схему дешифратора для семисегментного индикатора

2. Рисование схемы в графическом схеморедакторе и написание программы на языке Verilog, реализующей схему контроля четности.

3. Рисование схемы в графическом схеморедакторе и написание программы на языке Verilog, реализующей схему определения числа дней в месяце по номеру месяца.

4. Написание программы на языке Verilog, реализующей схему делителя с дробным коэффициентом деления 3/2, 5/2, 7/2

5. Написание программы на языке Verilog, реализующей схему счетчика на основе сдвигового регистра

6. Написание программы на языке Verilog, реализующей схему генератора случайных чисел на основе сдвигового регистра с обратными связями

Вопросы к зачету:

1. Структура и принципы работы микросхем с программируемыми логическими характеристиками (ПЛИС). Семейства CPLD, FPGA-архитектур.
2. JTAG-интерфейс и метод граничного сканирования Ячейки сканирования. TAP-контроллер. Диаграмма состояний автомата контроллера. Транспортный механизм.
3. Структура программы на языке Verilog. Модуль. Декларации и операторы.
4. Параллельные и последовательные блоки. Условный оператор if, оператор выбора case и операторы повторения.
5. Типы данных. Регистры и цепи, шины. Элементы памяти (массива). Параметры. Вещественные числа.
6. Операторы языка Verilog. Бинарные операции (побитовые, редуцирующие). Арифметические операции. Операции отношения. Операторы сравнения. Конкатенация. Встроенные примитивы.
7. Организация комбинаторной логики. Блоки always
8. Организация последовательностной (регистровой) логики. Блоки always
9. Сдвиговые регистры и линии задержки с заданными ответвлениями
10. Цифровые автоматы.

### 7.1. Основная литература:

1. Амосов В. Схемотехника и средства проектирования цифровых устройств. СПб.: БХВ-Петербург, 2010, 560 с.
2. Грушвицкий, Ростислав Игоревич. Проектирование систем на микросхемах с программируемой структурой: [состояние и перспективы развития цифр. и аналог. прогр. БИС/СБИС, метод., средства и примеры проект. с использованием САПР, средства систем. уровня проект. (SystemC), яз. опис. цифр. и аналог. аппаратуры (VHDL, VerilogHDL, VHDL-AMS): учеб. пособие] / Р. И. Грушвицкий, А. Х. Мурсаев, Е. П. Угрюмов.?2-е изд., [перераб. и доп.].?Санкт-Петербург: БХВ-Петербург, 2006.?736 с.
3. Грушвицкий, Ростислав И. Проектирование систем на микросхемах программируемой логики / Р.И. Грушвицкий, А.Х. Мурсаев, Е.П. Угрюмов.?СПб: БВХ - Петербург, 2002.?606с.
4. Стешенко, Владимир Борисович. ПЛИС фирмы "ALTERA": элементная база, система проектирования и языки описания аппаратуры / В.Б. Стешенко.?М.: Издат. дом "Додэка-XXI", 2007.?573с.
5. Стешенко, Владимир Борисович. ПЛИС фирмы "ALTERA": элементная база, система проектирования и языки описания аппаратуры / В.Б. Стешенко.?М.: Издат. дом "Додэка-XXI", 2002.?573с.
6. Стешенко, Владимир Борисович. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов / В.Б. Стешенко.?М.: ДОДЭКА, 2000.?53с.

### 7.2. Дополнительная литература:

1. Системы автоматизированного проектирования фирмы Altera MAX+plus II и Quartus II: Крат. описание и самоучитель / Д.А. Комолов, Р.А. Мяльк, А.А. Зобенко, А.С. Филиппов.?М.: РадиоСофт, 2002.?355 с.
2. Кнышев, Дмитрий Алексеевич. ПЛИС фирмы "XILINX": описание структуры основных семейств / Д.А. Кнышев, М.О. Кузелин.?М.: Издат. дом "Додэка-XXI", 2001.?238с.
3. Бродин В. Б. Системы на микроконтроллерах и БИС программируемой логики / Бродин В. Б., Калинин А. В..?М.: ЭКОМ, 2002.?398, [1] с.
4. Антонов А. П. Язык описания цифровых устройств AlteraHDL. Практический курс. ? М: ИП РадиоСофт, 2001. ? 224 с.

5. Армстронг Д. Моделирование дискретных систем на языке VHDL / Пер. с англ. Т. А. Теплицкого; Под ред. Ю. А. Татарникова. ? М.: Мир, 1992. ? 176 с.

**7.3. Интернет-ресурсы:**

**8. Материально-техническое обеспечение дисциплины/модуля согласно утвержденному учебному плану**

Освоение дисциплины "Программируемая логика" предполагает использование следующего материально-технического обеспечения:

Программа составлена в соответствии с требованиями ФГОС ВПО и учебным планом по направлению 011800.62 "Радиофизика" и профилю подготовки Специальные радиотехнические системы .

Автор(ы):
Акчурин А.Д. _____
"__" _____ 201 __ г.

Рецензент(ы):
"__" _____ 201 __ г.