

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ  
РОССИЙСКОЙ ФЕДЕРАЦИИ

НАБЕРЕЖНОЧЕЛНИНСКИЙ ИНСТИТУТ (ФИЛИАЛ)  
ФЕДЕРАЛЬНОГО ГОСУДАРСТВЕННОГО АВТОНОМНОГО  
ОБРАЗОВАТЕЛЬНОГО УЧРЕЖДЕНИЯ ВПО  
«КАЗАНСКИЙ (ПРИВОЛЖСКИЙ) ФЕДЕРАЛЬНЫЙ  
УНИВЕРСИТЕТ»

**Кафедра «Электроэнергетика и электротехника»**

**В.И. Ильин, Р.Т. Насибуллин**

## **ОСНОВЫ ЦИФРОВОЙ ТЕХНИКИ**

Учебное пособие

Набережные Челны  
2013

**Ильин В.И., Насибуллин Р.Т.** Основы цифровой техники: Учебное пособие – Набережные Челны, Издательско-полиграфический центр Набережночелнинского института (филиала) К(П)ФУ, 2013.-78 с.

Теоретические материалы и примеры решения задач охватывают часть учебной программы курса, посвященной изучению цифровой электроники с целью повышения эффективности усвоения дисциплин: «Системы электроники и автоматики автомобилей и тракторов» и «Элементы систем автоматики и микропроцессорной техники» для бакалавров направления подготовки 140400.62 «Электроэнергетика и электротехника»

Рецензенты: к.т.н., с.н.с. Комаров Ю.Л. (г. Казань, КНИТУ (КАИ) им. А.Н. Туполева);  
к.ф.-м.н., доцент Сарваров Ф.С. (г. Наб. Челны, ИНЭКА)

Печатается по решению МК  
Автомеханического факультета  
Камской государственной  
инженерно-экономической  
академии

## РАЗДЕЛ 1. ТЕОРЕТИЧЕСКИЕ ПОЛОЖЕНИЯ.

### ГЛАВА 1.1 ЛОГИКА ФОРМАЛЬНАЯ И МАТЕМАТИЧЕСКАЯ.

Логика - наука древняя, она занимается законами мышления, ее основоположником считают Аристотеля (384-322 до н.э.).

Ко времени зарождения логики математика уже прошла значительный путь развития. Обе эти науки, логика и математика, достигшие расцвета еще в глубокой древности, имеют принципиально неограниченную область применения: все виды доказательств основаны на законах логики, все количественные соотношения подвластны математике. Однако их слияние наметилось только в начале XVII века, когда Рене Декарт (1596-1650) рекомендовал руководствоваться в логике общепринятыми в математике принципами. Он считал, что человеческий разум может постигнуть истину, если будет исходить из достоверных положений, сводить сложные идеи к простым, переходить от известного и доказанного к неизвестному, избегая каких-либо пропусков в логических звеньях исследований.

Немецкий философ и математик Вильгельм Лейбниц (1648-1716) впервые обратил внимание на двоичную систему счисления, использующую две цифры - 0 и 1, применительно к логике, к законам мышления. Он заложил основы общего метода, который позволяет свести мысль человека - любого вида и на любую тему - к совершенно точным формальным высказываниям. Таким образом, открылась возможность перевести логику из словесного царства, полного неопределенностей, в царство математики, где отношения между объектами или высказываниями определяются совершенно точно. У Лейбница возникает мысль, что двоичная система может стать универсальным логическим языком. Но этим идеям Лейбница суждено было получить дальнейшее развитие лишь в середине XIX века в трудах гениального математика-самоучки Джоржа Буля (1815-1864).

Родом из бедной рабочей семьи, жившей в промышленном английском городе Линкольн, он самостоятельно развил свой уровень знаний до такой степени, что, несмотря на отсутствие формального

образования, был приглашен работать на математический факультет Королевского колледжа в Ирландии. Его труды внесли поистине революционные изменения в логику как науку. Буль изобрел своеобразную алгебру-систему обозначений и правил, применимую к всевозможным объектам, от чисел и букв, до предложений. Пользуясь этой системой, можно закодировать высказывания-утверждения, истинность или ложность которых требовалось доказать, с помощью символов своего языка, а затем манипулировать ими подобно тому, как в математике манипулируют обычными числами. Эта система получила название булевой алгебры. Она идеально подходила для двоичной системы счисления, поскольку логические действия двоичны по самой своей сути, оперируя с двумя противоположными понятиями: «истина» - «ложь»; «да» - «нет».

Так зародилась новая наука - математическая логика.

Появлению и развитию математической логики способствовало стремление найти строгие правила обоснования и доказательства новых положений в науке. Математическая логика стала математическим аппаратом той части обычной логики, которую принято называть формальной.

Как и математика, формальная логика следует строгим правилам и не вникает в сущность анализируемых суждений. Ее задача - установление формальных правил получения новых суждений из исходных, истинность которых не подвергается сомнению.

## ГЛАВА 1.2 БУЛЕВА АЛГЕБРА. ОСНОВНЫЕ ПОНЯТИЯ.

Булева алгебра, будучи математической системой, определяется тремя типами множеств - множеством элементов, множеством операций и множеством постулатов. Для цифровых схем, которые строятся по законам булевой алгебры, это выражается в том, что схемы одного типа обеспечивают переработку двоичных символов, представляющих числа или другую информацию. Другие схемы используются для коммуникации, образуя пути, по которым передается информация. Наконец, схемы третьего типа решают задачи управления, они задают различные состояния и активизируют те или

иные функции.

Во всех трех случаях сигналы имеют, как правило, два различных уровня, т.е. являются двоичными символами. Чаще всего это наличие или отсутствие потенциала в той или иной точке цифровой схемы. Описание работы таких схем дает двузначная булева алгебра.

В этой алгебре используются только два элемента, два утверждения: истинное и ложное, их называют КОНСТАНТАМИ и присваивают истинному утверждению символ – 1, а ложному – 0. Символы 1 и 0 означают логические состояния, а не цифры. Чтобы не смешивать их с двоичными цифрами, эти символы часто называют логическим 0 и логической 1. Иногда они соответствуют двоичным числам, иногда каким-то условиям, например: логическая 1 - дверь открыта, логический 0 - закрыта.

Всем входам логических схем ставят в соответствие БУЛЕВЫ переменные, принимающие только два значения: 0 и 1.

$X = 0$  , если  $X < > 1$

$X = 1$  , если  $X < > 0$

В результате воздействия входных переменных на логическую схему, на выходе возникает сигнал - ФУНКЦИЯ, основное свойство которой в том, что она может принимать только два значения: 0 или 1.

Таким образом, функцию  $Y = f(X_0, X_1, \dots, X_n)$  называют логической, если сама функция  $Y$  и независимые переменные  $X_0, X_1, \dots, X_n$  принимают только два значения, соответствующие логической 1 или логическому 0.

Теперь, когда определены элементы булевой алгебры, нужно ввести множество операций и задать постулаты, которым эти операции удовлетворяют.

Один из видов сложных высказываний, присущих формальной логике, конъюнкция (от латинского "соединяю"). По определению, конъюнктивным называется сложное высказывание, которое истинно тогда и только тогда, когда истинны все входящие в него высказывания. Пусть число исходных высказываний будет минимальным, т.е. равно двум. Обозначим эти высказывания  $X_0$  и  $X_1$ . Все возможные наборы их значений и итогового сложного

высказывания - функции  $Y$ - сведены в таблицу 1.2.1 или равнозначную ей таблицу 1.2.2, где высказывания записаны в математической форме.

Табл. 1.2.1

X1	X0	Y
ложно	ложно	ложно
ложно	истинно	ложно
истинно	ложно	ложно
истинно	истинно	истинно

Табл. 1.2.2

X1	X0	Y
0	0	0
0	1	0
1	0	0
1	1	1

Преимущество записи таблицы 1.2.2 не только и не столько в компактности. Первую таблицу можно только зазубрить, вторую же можно вывести. Во-первых, комбинация 0 и 1 в первых двух колонках (X1 и X0) образует натуральный ряд 2-разрядных двоичных чисел: 00, 01, 10, 11, т.е. в десятичной системе 0, 1, 2, 3. Во-вторых, каждая цифра в колонку Y есть результат обычного математического действия - умножения.

$$0 \times 0 = 0$$

$$0 \times 1 = 0$$

$$1 \times 0 = 0$$

$$1 \times 1 = 1$$

В булевой алгебре операция, подчиняющаяся такой зависимости, носит название ЛОГИЧЕСКОЕ УМНОЖЕНИЕ или операция И.

В формальной логике вводится еще одно сложное суждение – дизъюнкция (от латинского "разобщение", "различие"). Исключающим, дизъюнктивным суждением называется сложное суждение, которое истинно тогда и только тогда, когда истинно хотя бы одно из входящих в него суждений. Как и прежде, составим две таблицы, соответствующие сформулированному определению.

Табл. 1.2.3

X1	X0	Y
ложно	ложно	ложно
ложно	истинно	истинно
истинно	ложно	истинно
истинно	истинно	истинно

Табл. 1.2.4

X1	X0	Y
0	0	0
0	1	1
1	0	1
1	1	1

Математическая операция, которая задается таблицей 1.2.4, называется в булевой алгебре ЛОГИЧЕСКИМ СЛОЖЕНИЕМ, или операция ИЛИ.

$$X1 + X0 = Y$$

Это не обычное, а логическое сложение.

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 1$$

К этим двум основным операциям булевой алгебры добавляется еще одна - ЛОГИЧЕСКОЕ ОТРИЦАНИЕ, или операция НЕ; ее еще называют инверсией.

Постулаты для этой операции даны в таблице 1.2.5 и 1.2.6.

Табл. 1.2.5

X	Y
ложно	истинно
истинно	ложно

Табл. 1.2.6

X	Y
0	1
1	0

В силу самого определения булевых переменных, каждой переменной X в алгебре логики соответствует ее инверсия

$$Y = \bar{X} \text{ (читается «не X»)}.$$

Переменная и ее инверсия существуют обязательно в противоположных логических состояниях.

$$\text{Так если } X = 0, \text{ то } \bar{X} = 1;$$

$$\text{если же } X = 1, \text{ то } \bar{X} = 0.$$

Описание логической функции, как мы убедились, возможно двояким образом. Можно использовать ТАБЛИЦУ ИСТИННОСТИ, - в которой каждой возможной комбинации входных логических переменных соответствует значение функции. Или использовать БУЛЕВО ВЫРАЖЕНИЕ - это формула, состоящая из булевых констант и переменных, связанных операциями И, ИЛИ, НЕ.

Система Буля допускает множество других операций, часто называемых логическими действиями, однако приведенные выше три операции И, ИЛИ, НЕ являются основными для булевой алгебры. Этих трех операций достаточно для того, чтобы производить сложение, вычитание, умножение, деление, сравнение символов и чисел, т.е. выполнять на их основе все возможные операции формальной логики, тем самым решая ОСНОВНУЮ ЗАДАЧУ булевой алгебры - описание поведения и структуры логических схем.

### ГЛАВА 1.3 ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ.

Булева алгебра, как было описано выше, содержит три основных логических операции И, ИЛИ, НЕ. Если мы располагаем элементарными схемами, поведение которых по "входам и выходам" соответствует этим трем операциям, то соединив их между собой в соответствии с заданным булевым выражением, получим логическую схему, реализующую это выражение. Такие элементарные схемы существуют и называются ЛОГИЧЕСКИМИ ЭЛЕМЕНТАМИ или ВЕНТИЛЯМИ. Они должны работать в соответствии с алгоритмом, задаваемым таблицей истинности той или иной основной логической операции, и иметь сигналы на входах и выходах одинаковой физической природы. В принципе, схемы И, ИЛИ, НЕ могут быть электрическими, механическими, пневматическими и иными, важно лишь, чтобы 0 и 1 были идентичными как на входе, так и на выходе.

В современной вычислительной технике используется множество разнообразных логических устройств, которые могут выполняться в виде специализированных интегральных микросхем (ИМС). Однако внутри они выполняются в виде набора соединенных определенным образом вентилях. Такое построение не всегда



экономично, поскольку специализированные ИМС предназначены для выполнения хотя и сложных, но всё же частных операций. Иногда проще и экономичнее использование универсальных базовых логических элементов (ЛЭ), которые, зачастую, подменяют собой строгое понятие логического элемента, данное выше.

Среди множества логических элементов можно выделить несколько групп, которые называют **ФУНКЦИОНАЛЬНО ПОЛНЫМИ** - это такие группы, с помощью логических элементов которых, реализуется любая логическая функция.

Функционально полными являются следующие пять групп логических элементов:

1.  $Y = \bar{X}$  - отрицание, НЕ;  
 $Y = X1 \times X0$  - конъюнкция, И;  
 $Y = X1 + X0$  - дизъюнкция, ИЛИ;
2.  $Y = \bar{X}$  - отрицание, НЕ;  
 $Y = X1 \times X0$  - конъюнкция, И;
3.  $Y = \bar{X}$  - отрицание, НЕ;  
 $Y = X1 + X0$  - дизъюнкция, ИЛИ;
4.  $Y = \overline{X1 \times X0}$  - отрицание конъюнкции, И-НЕ (штрих Шеффера);
5.  $Y = \overline{X1 + X0}$  - отрицание дизъюнкции, ИЛИ-НЕ (стрелка Пирса).

Вентиль НЕ называют также **ИНВЕРТОРОМ**. Условные графические обозначения этих элементов в соответствии с ГОСТом приведены на рисунках 1.3.1 – 1.3.4. Условные обозначения логических схем одинаковы, независимо от того, из каких элементов они построены.

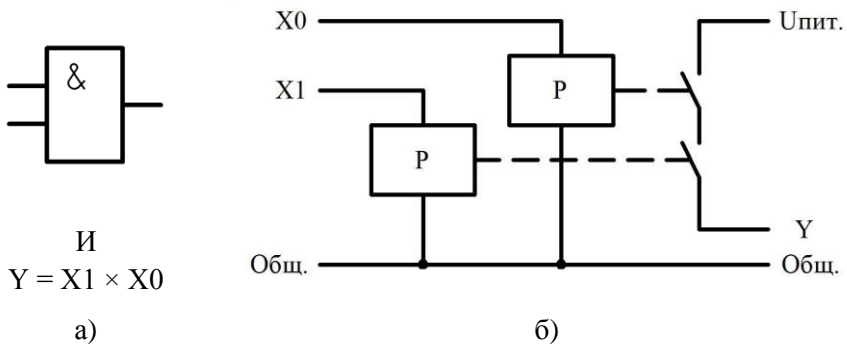


Рисунок 1.3.1 – Условное графическое обозначение логического элемента И (а) и его релейная схема (б).

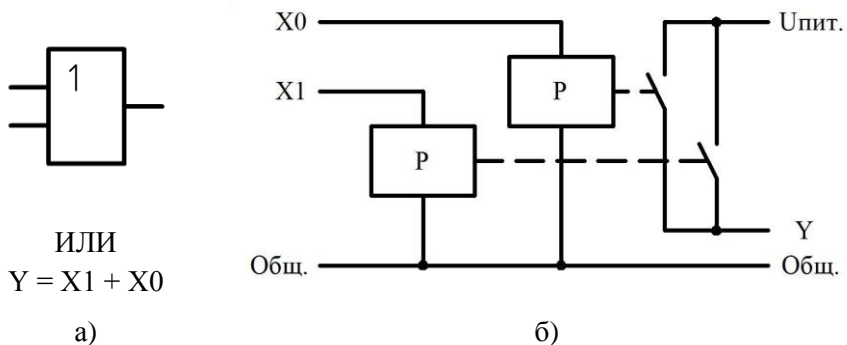


Рисунок 1.3.2 – Условное графическое обозначение логического элемента ИЛИ (а) и его релейная схема (б).

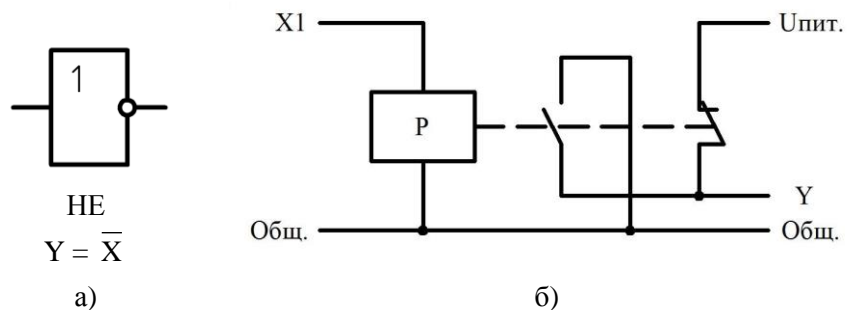
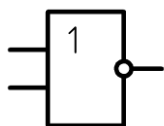


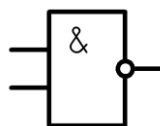
Рисунок 1.3.3 – Условное графическое обозначение логического элемента НЕ (а) и его релейная схема (б).



ИЛИ-НЕ

$$Y = \overline{X1 + X0}$$

а)



И-НЕ

$$Y = \overline{X1 \times X0}$$

б)

Рисунок 1.3.4 – Условные графические обозначения логических элементов ИЛИ-НЕ (а) и И-НЕ (б).

Эти логические элементы, кроме инвертора НЕ, реализуют функции двух переменных  $X1$  и  $X0$ , т.е. являются двухходовыми. Выпускаются также логические элементы с бóльшим числом входов и более сложной схемой, например, двухступенчатые 2ИЛИ-2ИЛИ-И (рис. 1.3.5).

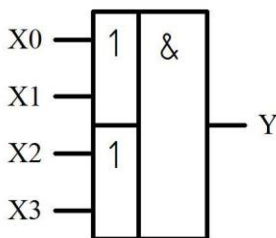


Рисунок 1.3.5 – Двухступенчатый логический элемент 2ИЛИ-2ИЛИ-И

## ГЛАВА 1.4 КОМБИНАЦИОННЫЕ ЛОГИЧЕСКИЕ СХЕМЫ.

Логические вентили, описанные в предыдущей главе, представляют собой элементарные базовые компоненты, из которых строятся логические системы. Сложные логические системы, ЭВМ и микропроцессоры в том числе, представляют собой системы из логических вентилях, которые объединены в типовые логические узлы - триггеры, регистры, счетчики, дешифраторы, системы шин, схемы выполнения арифметических операций и т.д. Все множество логических схем делится на два класса - комбинационные логические схемы и последовательностные логические схемы.

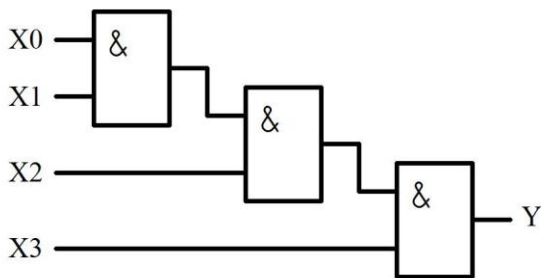
КОМБИНАЦИОННЫЕ логические схемы предназначены для выполнения определенных логических операций, и их выходная логическая функция определяется лишь комбинацией входных переменных, поступающих на входы схемы в данный момент времени, и не зависит от их комбинации в предшествующее время. Иными словами, сигнал на выходе таких схем полностью определяется комбинацией входных сигналов.

Многие логические схемы обладает тем свойством, что их выходные значения зависят не только от текущих значений входов, но и от их значений в прошлом. Такие схемы обладают памятью и называется ПОСЛЕДОВАТЕЛЬНЫМИ.

Если алфавит, применяемый на входе и выходе комбинационной схемы чисто двоичный, то каждому двоичному коду на входе комбинационная схема ставит в соответствие определенный код на выходе.

Любую комбинационную схему, имеющую  $m$  выходов, можно заменить набором из  $m$  комбинационных схем, каждая из которых имеет только один выход и такое же количество входов, как и исходная схема. Очевидно, для постройки любой комбинационной схемы достаточно научиться составлять (синтезировать) произвольную комбинационную схему с одним выходом. К таким схемам, в частности, относятся схемы И и ИЛИ.

Из двухвходовых схем И и ИЛИ можно легко создать схемы с любым количеством входов (см. рис. 1.4.1-1.4.4)



$$Y = X3 \times X2 \times X1 \times X0$$

Рисунок 1.4.1 – Построение четырехвходового конъюнктора из двухвходового

Обозначение новой схемы:

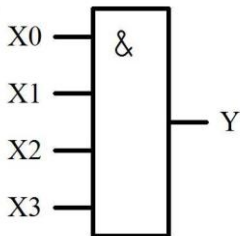
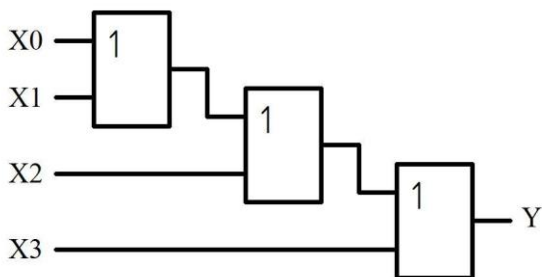


Рисунок 1.4.2 – Условное обозначение четырехвходовой схемы И



$$Y = X3 + X2 + X1 + X0$$

Рисунок 1.4.3 – Построение четырехвходового дизъюнктора из двухвходового

Обозначение новой схемы:

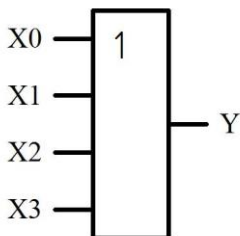


Рисунок 1.4.4 – Условное обозначение четырехвходовой схемы ИЛИ

Любую другую комбинационную схему также можно синтезировать путем соединения между собой схем И, ИЛИ, НЕ.

Свойства комбинационной схемы полностью определяет таблица истинности соответствующей логической функции. Поэтому чаще всего синтез желаемой логической схемы начинают с составления такой таблицы, которая в простой форме дает алгоритм работы будущей схемы. Такая таблица показывает, какой сигнал должен быть на выходе при каждом возможном наборе сигналов на входах. Однако непосредственно по таблице синтезировать логическую схему весьма затруднительно. Для синтеза произвольной комбинационной схемы, по заданной таблице получают выражение булевой алгебры, описывающее работу схемы. Затем производят упрощение этого выражения (минимизацию) и по полученному минимизированному выражению составляют искомую схему.

Один из способов такого синтеза основывается на использовании, так называемых, **ПРОСТЫХ КОНЪЮНКЦИЙ (КОНСТИТУЕНТОВ ЕДЕНИЦЫ)**. При числе переменных  $n$  (т.е. при синтезе  $n$ -входовой схемы) число простых конъюнкций равно  $2^n$ . В таб. 1.4.1 и 1.4.2 показано, как образуются простые конъюнкции для  $n=2$  и  $n=3$ . При большем  $n$  принцип остается прежним.

Табл. 1.4.1

N	X1	X0	простая конъюнкция
0	0	0	$\overline{X1} * \overline{X0}$
1	0	1	$\overline{X1} * X0$
2	1	0	$X1 * \overline{X0}$
3	1	1	$X1 * X0$

n = 2

Табл. 1.4.2

N	X2	X1	X0	простая конъюнкция
0	0	0	0	$\overline{X2} * \overline{X1} * \overline{X0}$
1	0	0	1	$\overline{X2} * \overline{X1} * X0$
2	0	1	0	$\overline{X2} * X1 * \overline{X0}$
3	0	1	1	$\overline{X2} * X1 * X0$
4	1	0	0	$X2 * \overline{X1} * \overline{X0}$
5	1	0	1	$X2 * \overline{X1} * X0$
6	1	1	0	$X2 * X1 * \overline{X0}$
7	1	1	1	$X2 * X1 * X0$

n = 3

Из таблиц видно, что данному набору переменных соответствует простая конъюнкция, т.е. произведение всех без исключения переменных, в котором переменные, равные 0, берутся со знаком инверсии, а равные 1 - без него.

Так, например, простая конъюнкция для набора E = 0, D = 1, C = 0, B = 0, A = 1 есть  $Y = \overline{E} * D * \overline{C} * \overline{B} * A$

Выражение булевой алгебры для описания синтезируемой схемы получают на основании теоремы: любая булева функция может быть представлена в виде логической суммы простых конъюнкций, соответствующих тем наборам переменных, при которых эта функция принимает значение 1. В качестве примера найдем булево выражение для схемы ИЛИ - НЕ.

По определению, результат на выходе схемы ИЛИ-НЕ должен являться инверсией сигнала на входе схемы ИЛИ для данной комбинации сигналов на входах. В соответствии с этим составляем таблицу истинности для элемента ИЛИ - НЕ (табл.1.4.3; см.табл.1.2.4 )

Табл. 1.4.3

X1	X0	Y
0	0	1
0	1	0
1	0	0
1	1	0

Для этой схемы единица на выходе появляется при одном наборе  $X1 = 0, X0 = 0$ , поэтому

$$Y = \overline{X1} \times \overline{X0}$$

По полученному булеву выражению видно, что получить такую схему можно из схемы И, если поставить перед каждым из ее входов по инвертору (рис.1.4.5 а).

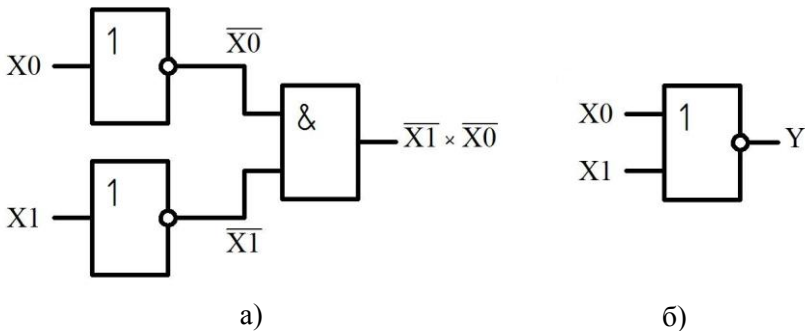


Рисунок 1.4.5

Многие из выражений, составленные по сформулированной выше теореме, получаются излишне громоздкими и их минимизируют, т.е. упрощают. Для минимизации применяют аксиомы и законы булевой алгебры. Дело это не сложное, но не имеющее четкого алгоритма, т.е. зависит от опыта и таланта разработчика.



## ГЛАВА 1.5 СУММАТОРЫ, ШИФРАТОРЫ. МУЛЬТИПЛЕКСОРЫ.

**СУММАТОРЫ.** Простейшей и самой распространенной операцией, выполняемой ЭВМ, является сложение двух одноразрядных двоичных чисел. Устройство, осуществляющее эту операцию, называют полусумматором.

При складывании двух одноразрядных двоичных чисел возможны четыре сочетания исходных переменных.

$$\begin{array}{r} 0 \\ + 0 \\ \hline 0 \end{array} \quad \begin{array}{r} 1 \\ + 0 \\ \hline 1 \end{array} \quad \begin{array}{r} 0 \\ + 1 \\ \hline 1 \end{array} \quad \begin{array}{r} 1 \\ + 1 \\ \hline 10 \end{array}$$

В последнем случае при складывании одноразрядных чисел сумма становится двухразрядным двоичным числом, причем, в разряде слагаемых появляется 0. Таким образом, для обеспечения операции сложения необходимо, чтобы логическая схема с двумя входами и одним выходом работала по алгоритму, задаваемому табл.1.5.1.

Табл. 1.5.1

X1	X0	Y
0	0	0
0	1	1
1	0	1
1	1	0

Схема, работающая таким образом, носит название **ИСКЛЮЧАЮЩЕЕ ИЛИ** и обозначается:

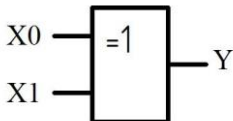


Рисунок 1.5.1 – Условное обозначение двухвходовой схемы **ИСКЛЮЧАЮЩЕЕ ИЛИ**

Эта схема служит основой, но для выполнения сложения необходимо учесть единицу переноса в более старший разряд. Схема, учитывающая единицу переноса в более старший разряд, чем разряд слагаемых, должна работать по алгоритму, задаваемому табл.1.5.2.

Табл. 1.5.2

X1	X0	Y	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Такая схема называется, полусумматором и обозначается:

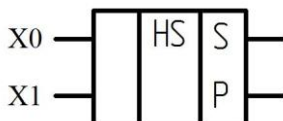


Рисунок 1.5.2 – Условное обозначение схемы ПОЛУСУММАТОРА

В этой схеме два вывода, один для суммы - S, а второй для единицы переноса в старший разряд - P.

Но и эта схема не в состоянии обеспечить сложение двоичных чисел в любом разряде, т.к. возможна ситуация, когда должна быть учтена единица переноса из предыдущего, более младшего разряда, чем разряд слагаемых.

	РАЗРЯД 4	РАЗРЯД 2	РАЗРЯД 1
	0	1	1
+		1	1
=	1	1	0

Рисунок 1.5.3

Во втором разряде возникла необходимость учесть единицу переноса из младшего разряда и перенести единицу в старший. Логическая схема, составленная из полусумматоров и логических элементов, выполняющая такую задачу, называется СУММАТОРОМ и обозначается:

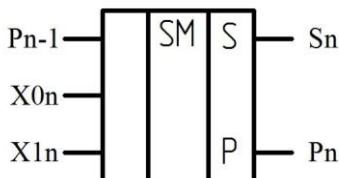


Рисунок 1.5.4 – Условное обозначение схемы СУММАТОРА

где  $P_{n-1}$  - вход для сигнала переноса единицы из предыдущего каскада, а  $n$  - разряд слагаемых.

Более подробно вопрос будет рассмотрен практически при выполнении лабораторной работы № 2.

**ШИФРАТОРЫ и ДЕШИФРАТОРЫ.** В вычислительной технике информация обычно передается в виде КОДИРОВАННЫХ СИГНАЛОВ или КОДОВ. Коды представляют собой определенную группу двухуровневых сигналов, соответствующих двоичным многоразрядным числам, нули которых определяются низким уровнем потенциала, а единицы - высоким. Наиболее употребим двоично-десятичный код, используемый в ЭВМ для экономного, с точки зрения схемной реализации, представления десятичных чисел. Так, число 52 в двоичном коде записывается 110100, а в двоично-десятичном каждый десятичный разряд представляется четырехразрядным двоичным числом (тетрадой), т.е. 52 в этом коде

0101 0010

Для преобразования одноразрядного десятичного числа в тетраду двоично-десятичного кода служит ШИФРАТОР (рис.1.5.5), на соответствующий вход которого подают логическую 1. При этом на его выходе появляется нужное четырехзначное двоичное число. Так, при логической 1 на входе 7 появляются логические 1 на выходах логических элементов DD1, DD2 и DD3, что дает число 0111, равное 7

в десятичной системе счисления. Для обратного преобразования двоичного кода в десятичный служит ДЕШИФРАТОР.

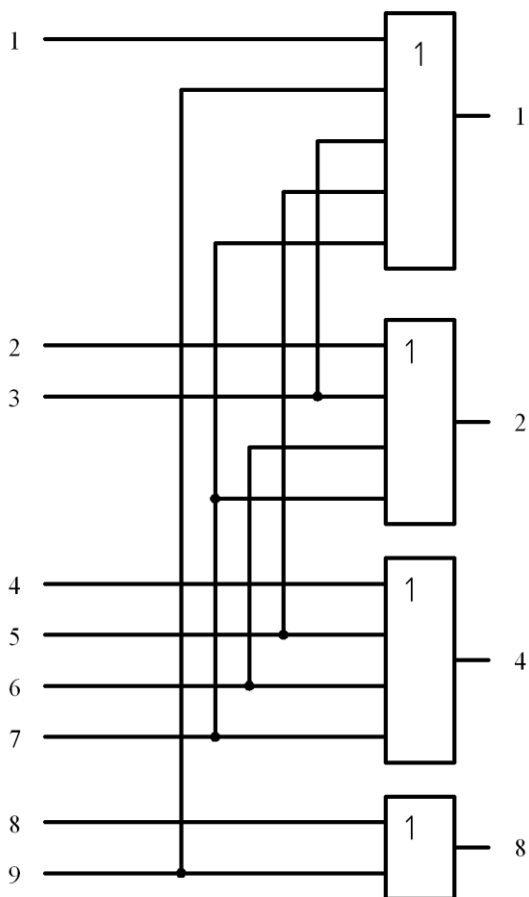


Рисунок 1.5.5 – Схема ШИФРАТОРА

**МУЛЬТИПЛЕКСОРЫ И ДЕМУЛЬТИПЛЕКСОРЫ.** Для поочередного подключения одной из линий передачи двоичной информации к общему выходу служит МУЛЬТИПЛЕКСОР. Он позволяет использовать одну и ту же шину для передачи информации от различных источников. Такая передача организуется путем поочередного подключения соответствующего входа к выходу мультиплексора; выбор подключаемого входа к общей магистрали

осуществляется подачей соответствующего этому входу кода на адресные входы мультиплексора. Пример схемы мультиплексора на четыре информационных входа ( $X_1, X_2, X_3, X_4$ ) приведен на рис. 1.5.6.

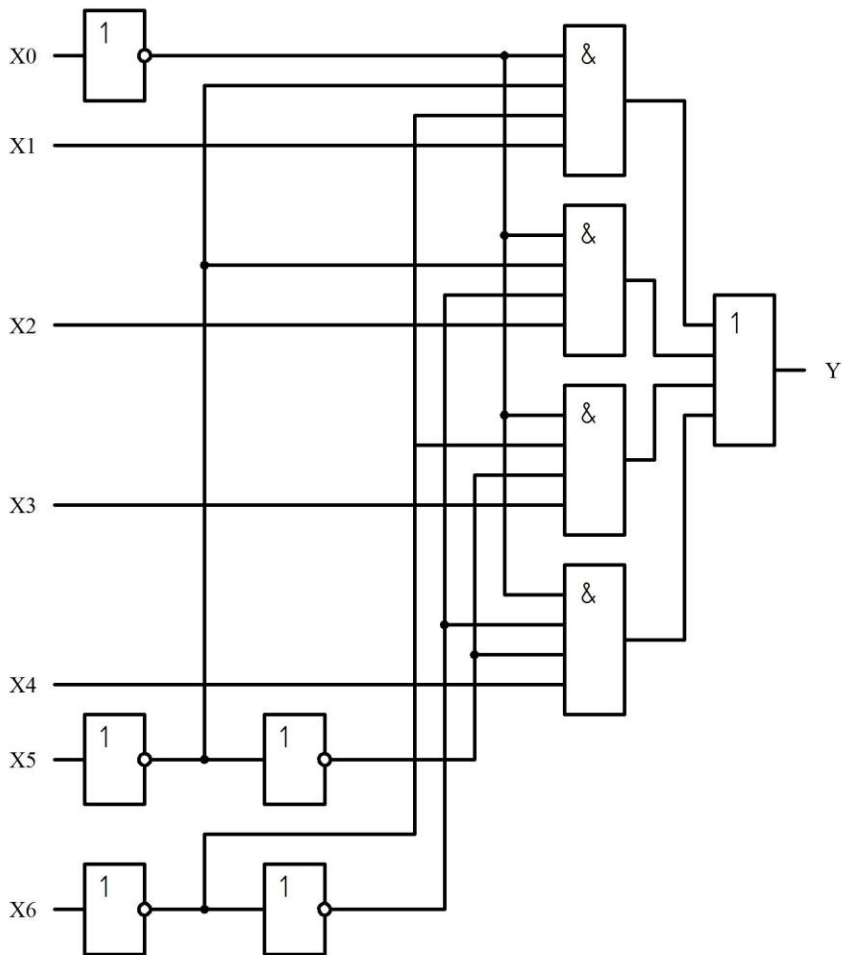


Рисунок 1.5.6

Здесь на входы  $X_5$  и  $X_6$  подается код адреса входа, который подключается к магистрали  $Y$ .  $X_0$  – вспомогательный вход мультиплексора, который прерывает работу мультиплексора при

подаче на его вход 1.

Обратная операция - разделение информации по адресам назначения, которая поступает с одной магистрали, производится при помощи демультимплектора.

## ГЛАВА 1.6 ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЛОГИЧЕСКИЕ СХЕМЫ.

Как уже отмечалось выше, последовательностной называется схема с памятью. ЭВМ и микропроцессоры частности, являют собой классические примеры систем, поведение которых зависит от событий в прошлом. Состоянием последовательностной схемы называется то, что отражает итоговое воздействие прошлых входных воздействий на поведение схемы в данный момент.

Для создания последовательностных схем необходимо располагать средствами, позволяющими сохранять информацию о состоянии схемы так, чтобы эта информация участвовала при формировании настоящих и будущих входных значений. Простейший элемент, используемый для этой цели - ТРИГГЕР.

Триггером называют устройство, обладающее двумя состояниями устойчивого равновесия и способное скачком переходить из одного состояния в другое, под воздействием внешнего управляющего сигнала.

Такое устройство можно получить, введя обратную связь.

Так как сигналы, вырабатываемые цифровыми схемами, однотипны с сигналами управления этими схемами, то цепи обратной связи в цифровой электронике предельно просты. Они представляют собой соединения выходов с входами.

На рис.1.6.1 приведена схема, способная хранить 0 или 1.

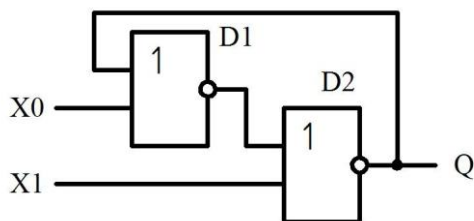


Рисунок 1.6.1 – Схема триггера на логических элементах ИЛИ-НЕ

При подаче на вход  $X_0$  такого устройства логической единицы на выходе элемента DD1 появляется в обязательном порядке логический 0, который поступает на вход DD2; если при этом с входа  $X_1$  приходит логический 0, то на выходе появляется логическая 1, которая поступает на  $X_0$ , что не меняет состояния всего устройства.

При поступлении на  $X_0$  логического 0, а на  $X_1$  - 1. на выходе DD2 устанавливается 0, который поступает на вход DD1, что опять не ведет к изменению состояния всего устройства. При подаче на входы  $X_0$  и  $X_1$  логических 0, работа устройства будет определять состояние выхода  $Q$ . Если на выходе  $Q$  был до этого логический 0, то он поступит на вход DD1 и на выходе DD1 установится состояние логической 1, которая, поступив на вход DD2, сохранит состояние логического 0 на выходе  $S$ . При нахождении выхода  $Q$  перед подачей сигналов в состоянии логической 1, она поступит на вход DD1 и приведет к появлению логического нуля на выходе DD1; два логических нуля на входе DD2 будут поддерживать состояние логической 1 на выходе  $Q$ .

Таким образом, подача сигнала  $X_0 = 0$ ,  $X_1 = 0$  удерживает триггер в прежнем состоянии. По этой причине о входной комбинации  $X_0 = 0$ ,  $X_1 = 0$  говорят как о случае отсутствия входных сигналов. Наконец, при поступлении на оба входа логической 1 схема окажется в неопределенном состоянии, и поэтому такая комбинация входных сигналов запрещена.

Такую схему называют собственно триггером, она является обязательной составной частью любых более сложных триггеров.

Нетрудно заметить, что выходы логических элементов DD1 и DD2 находятся всегда в противоположных состояниях, т.е., если DD2 имеет выходной сигнал  $Q$ , то DD1 будет иметь  $\bar{Q}$ . Добавим этот инверсный выход и обозначим входы  $X_0 - S$  (от английского слова set – “установить”),  $X_1 - R$  (от reset – “переустановить”). При подаче на вход  $S$  логической 1 ( $R = 0$ ), триггер устанавливается в состоянии логический 1, а при подаче на  $R = 1$  ( $S = 0$ ) триггер изменяет свое состояние на противоположное. Поэтому вход  $R$  называют ВХОДОМ СБРОСА, а вход  $S$  – ВХОДОМ УСТАНОВКИ.

Такой триггер называют АСИНХРОННЫМ RS - ТРИГГЕРОМ, его таблица истинности приведена в табл. 1.6.1, а условное обозначение на рис. 1.6.2.

Табл. 1.6.1.

S	R	Q	$\bar{Q}$
0	0	не измен.	
1	0	1	0
0	1	0	1
1	1	не допус.	

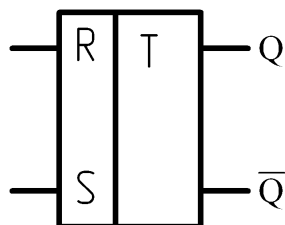


Рис. 1.6.2 – Условное обозначение асинхронного RS - триггера

Реализовать такой триггер можно и на элементах И-НЕ, но таблица истинности такого триггера будет другой.

На рис. 1.6.3 приведены временные диаграммы RS-триггера. Пусть в интервале времени  $0 \div t_1$ , на входах триггера будут логические 0, а на выходе  $Q$  - также 0. При появлении в момент времени  $t_1$ , на входе  $S = 1$ , на выходе  $Q = 1$ , т. е. триггер переключится в единичное состояние. Если в момент времени  $t_2$  на входе  $S$  вновь установится 0, состояние триггера сохранится.

При появлении в момент  $t_3$  на входе  $R = 1$  триггер переключится в нулевое состояние. Если в момент  $t_4$  на входе  $R$  снова будет 0, триггер не изменит свое состояние, он будет "помнить" записанную в



него информацию. В момент  $t_5$  под действием логической 1 на входе S триггер вновь переключится в единичное состояние. Изменение состояния входа S в интервале времени  $t_5 \div t_9$  не изменит состояния триггера и только в момент  $t_9$ , когда на вход R поступит логическая 1, он вновь переключится в нулевое состояние.

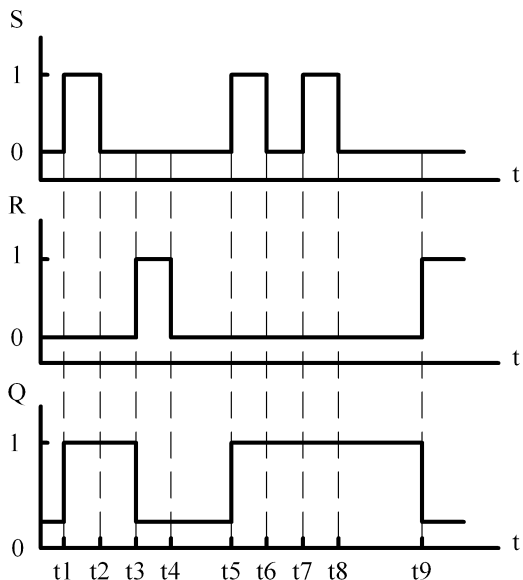


Рис. 1.6.3 – Временные диаграммы RS-триггера

Различают два типа входов триггеров - информационный и синхронизирующий. Сигналы на информационных входах и исходное состояние выхода S определяют, каким будет новое состояние триггера. Сигналы на синхронизирующих входах определяют время переключения. В таком триггере запись информации производится только по разрешению синхронизирующего импульса и лишь во время его действия. Простейшим подобным триггером является **СИНХРОННЫЙ RS-ТРИГГЕР**. Он получается из асинхронного RS - триггера введением по входам логических схем, запрещающих работу триггера при отсутствии сигнала, подаваемого на вход C - синхронизирующий вход (от английского clock - “часы”).

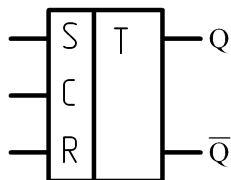


Рис. 1.6.4 – Условное обозначение синхронного RS-триггера

В перечисленных выше триггерах их состояние при наличии логических 1 по обоим входам не определено, потому что бессмысленно требовать установки и сброса триггера одновременно. Состояние реального триггера при таких входных сигналах зависит от его устройства. Чтобы этого избежать, необходимо гарантировать подачу на входы R и S противоположных состояний сигнала, что легко сделать введением соответствующего логического элемента. Такой триггер имеет только один информационный вход и носит название D - ТРИГГЕР (от английского delay – “задержка”). Его условное обозначение приведено на рисунке 1.6.5, а таблица истинности в табл. 1.6.2.

Табл. 1.6.2.

D	Q	$\bar{Q}$
0	0	1
1	1	0

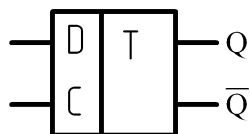


Рис. 1.6.5 – Условное обозначение D- триггера

Как видно, для триггера типа D соотношение между сигналом на входе и следующим состоянием триггера формируется проще всего. По синхроимпульсу D - триггер устанавливается в состояние, которое было на входе.

Обратная связь помогает не только превратить комбинационную схему в триггер, но и расширить возможности самого триггера.

Однако попытка ввести обратную связь в рассмотренные синхронизируемые триггеры наталкивается на определенные трудности. Сигнал обратной связи может измениться до окончания импульса синхронизации и привести к повторному, т.е. незапланированному переключению триггера.

Чтобы исключить подобного рода нежелательные явления, применяют триггеры с двухступенчатым запоминанием - двухтактные триггеры, их ещё называют MS - триггеры, по первым буквам английских слов master - slave, “хозяин” - “раб”, подчеркивая тем самым, что триггер состоит из двух частей, одна из которых как бы заставляет другую повторить свои действия. Более правильно говорить о ведущем T1, и ведомом T2 триггерах. На рис. 1.6.6 представлена структура и обозначение двухтактного RS - триггера, а на рис. 1.6.7 - двухтактного D - триггера.

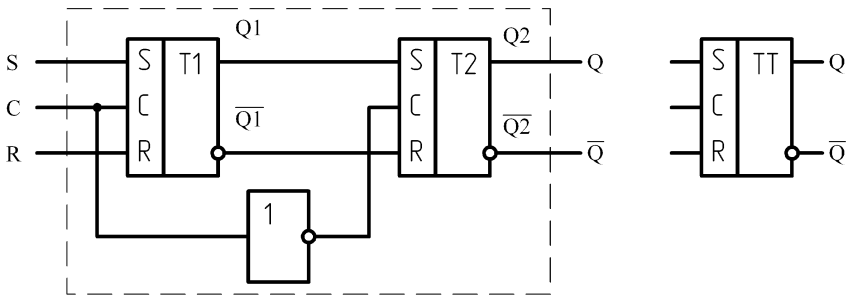


Рис. 1.6.6 – Схема и условное обозначение двухтактного RS – триггера

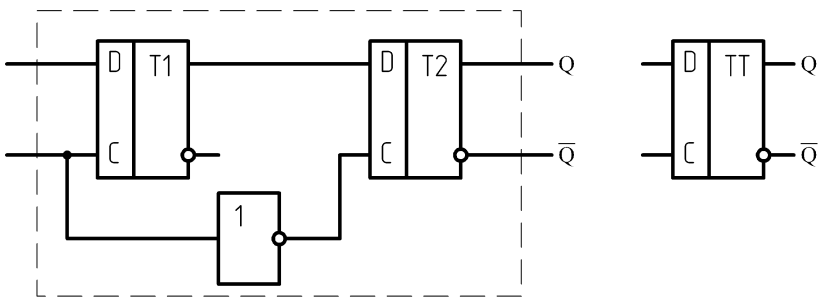


Рис. 1.6.7 – Схема и условное обозначение двухтактного D - триггера

Рассмотрим работу двухтактного RS - триггера. Информация, поступившая на входы S и R триггера T1, записывается в него с приходом тактового импульса. Во время действия тактового импульса на входе С синхронизации триггера T2 появляется логический 0, закрывающий его входы S и R. По окончании тактового импульса сначала закрываются R и S триггера T1, а затем информация с его выходов Q и  $\bar{Q}$  переписывается в триггер T2, так как на его входе С появляется разрешающий сигнал 1. В таком устройстве памяти повышается помехоустойчивость, т.к. запись информации производится не во время действия тактового импульса, когда входы триггера открыты для помех, а сразу после его окончания, когда они закрыты. Временные диаграммы двухтактного RS-триггера показаны на рис. 1.6.8.

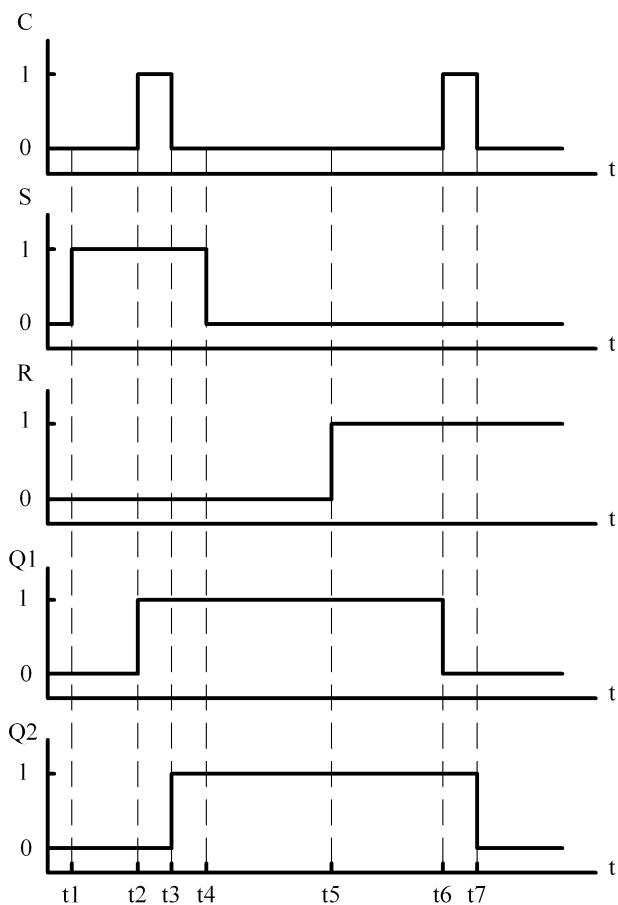


Рис. 1.6.8 – Временные диаграммы двухтактного RS-триггера

Пусть в момент времени  $t_1$  на входе S появилась логическая 1, а на входах C и R логические 0. В момент  $t_2$ , с приходом тактового импульса, триггер T1 переключается в единичное состояние, а T2 остается в нулевом, так как на его входе C - логический 0. В момент  $t_3$  заканчивается тактовый импульс и на входе T2 появляется логическая 1, а R = 0. Состояние T2 изменится на единичное. В это время T1 закрыт, помехи не в состоянии повлиять на его выходы и изменить информацию, записанную в триггер T2.

Наиболее универсальным триггером является JK -триггер.

Своим названием он обязан английским словам Jump - Keep (“прыгай” – “держись”).

Изучение JK - триггера начнем с анализа некоторых способов включения уже известных нам RS- и D - триггеров с двухступенчатым запоминанием, В этих триггерах, как и во всех остальных, наряду с основным обычно предусматривается и инверсный выход  $\bar{Q}$ . Он не несет никакой дополнительной информации, но в ряде случаев удобен как источник сигнала, противоположного (инверсного) тому, который наблюдается на основном выходе.

В схеме на рис. 1.6.9 инверсный выход D-триггера с двухступенчатым запоминанием соединен с его же информационным входом, и поэтому после C-импульса D-триггер переходит из состояния Q в противоположное состояние  $\bar{Q}$ .

После второго C-импульса триггер возвращается в исходное состояние. Иными словами, на выходе такого триггер, в ответ на два импульса на входе появляется один импульс (рис. 1.6.10).

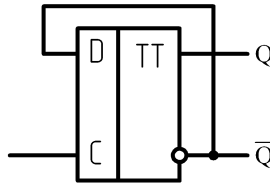


Рис. 1.6.9 – Схема D-триггера с обратной связью

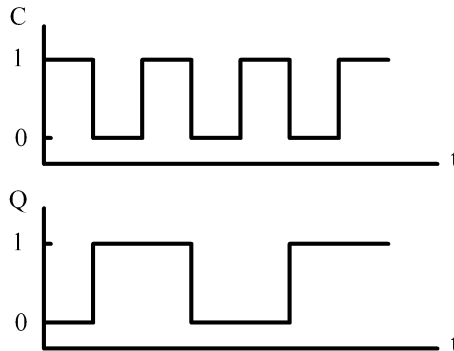


Рис. 1.6.10 – Временные диаграммы D-триггера с обратной связью

Такой режим работы триггера называют СЧЕТНЫМ, и вход T, который при этом образовался, тоже счетным; сам триггер получил название T-триггер, от английского слова time – “время”. Обозначение T-триггера на рис. 1.6.11.

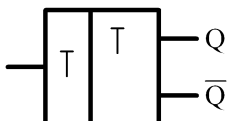


Рис.1.6.11 – Условное обозначение T-триггера

Такой режим работы можно получить и в RS-триггере.

Структура JK-триггера (рис. 1.6.12) напоминает двухступенчатый RS-триггер с обратными связям, но он имеет более сложную входную логику, исключая запрещенное состояние входов RS - триггера, когда  $S = 1, R = 1$ .

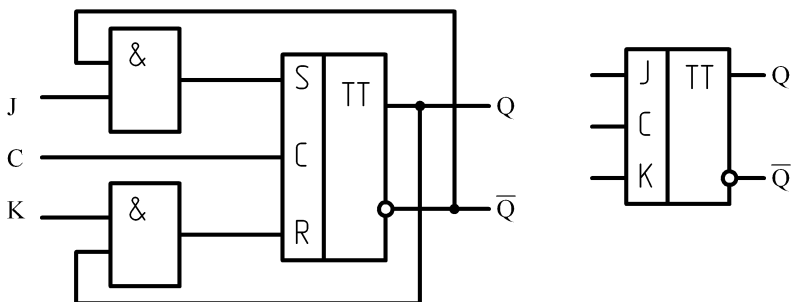


Рисунок 1.6.12 – Схема и условное обозначение JK-триггера

Работа этого триггера описывается таблицей истинности (табл. 1.6.1), где  $Q_1$  и  $\overline{Q_1}$ ,  $Q_2$  и  $\overline{Q_2}$  соответствуют выходам, составляющих двухтактный RS-триггер, обычных RS-триггеров (T1 – ведущий, T2 – ведомый триггера).

Табл. 1.6.13

До		Входы		После	
$Q1 = Q2$	$\overline{Q1} = \overline{Q2}$	J	K	$Q1 = Q2$	$\overline{Q1} = \overline{Q2}$
0	1	0	0	0	1
		0	1	0	1
		1	0	1	0
		1	1	1	0
1	0	0	0	1	0
		0	1	0	1
		1	0	1	0
		1	1	0	1

Рассмотрим первую часть таблицы истинности JK-триггера, когда  $Q1 = Q2 = 0$ ,  $\overline{Q1} = \overline{Q2} = 1$ .

При поступлении на входы J и K логических 0 состояние триггера сохраняется, так как ни одна из входных схем И не пропускает сигналы на входы S и R триггера T1. При комбинации входных сигналов J = 0, K = 1 сигналы на входы триггера T1 также не попадут, так как на входы одной схемы И поступят сигналы J = 0,  $\overline{Q2} = 1$ , а на входы другой K = 1, Q2 = 0.

При входных сигналах J = 1, K = 0 на вход S триггера T1 поступит 1, так как на входах схемы И, связанных с этим входом, J = 1, Q2 = 1. Следовательно, состояния триггеров T1 и T2 изменятся на противоположные. При комбинации входных сигналов J = 1, K = 1 триггер также переключится в новое состояние, так как на входе S появится логическая 1.

Рассуждая аналогично, доказывается и вторая часть таблицы.

Основным достоинством JK-триггера является отсутствие запрещенной комбинации на входе.



## ГЛАВА 1.7. РЕГИСТРЫ. СЧЕТЧИКИ.

Важнейшими составными частями любой ЭВМ являются РЕГИСТРЫ - устройства для записи, хранения и обработки двоичной информации. Основой регистра является триггер. Соединенные определенным образом, они и образуют регистр. Общее количество триггеров равно наибольшей разрядности хранимого числа. В зависимости от способа передачи кода числа из одного регистра в другой различают последовательные, параллельные и последовательно-параллельные регистры.

### ПАРАЛЛЕЛЬНЫЙ РЕГИСТР

Перед записью числа все триггеры регистра переводят в нулевое состояние, для чего на их входы R, связанные общей шиной "Уст.0" подают логическую 1. Затем, подав на шину "Запись" логическую 1, записывают поразрядно поданное на входы число в соответствующие триггеры. Для считывания числа логическую 1 подают на выходные схемы И, вследствие чего записанное в регистр число появляется на выходах. Параллельные регистры лишь хранят информацию, поэтому их называют РЕГИСТРАМИ ПАМЯТИ.

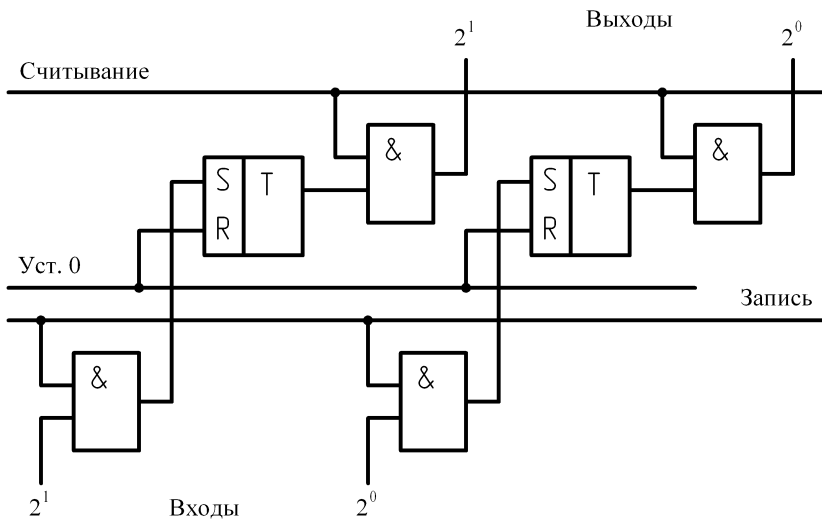


Рис. 1.7.1.Схема параллельного регистра

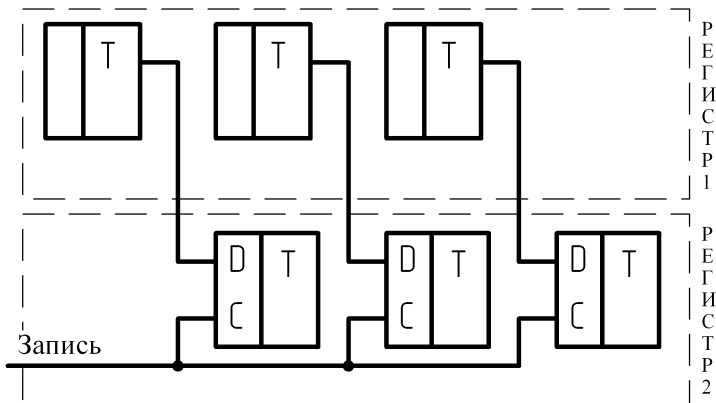


Рис. 1.7.2 – Схема соединения двух параллельных регистров

### ПОСЛЕДОВАТЕЛЬНЫЙ РЕГИСТР

При последовательном способе передачи на объединенный С-вход подается  $n$  импульсов. Каждый С-импульс устанавливает данный триггер в состояние соседа слева, поэтому после  $n$  импульсов (4 для случая, представленного на рисунке) в регистре будет записан код числа.

Для примера запишем число 1010. Таблица истинности регистра на рис. 1.7.3 при записи этого числа - табл. 1.7.1.

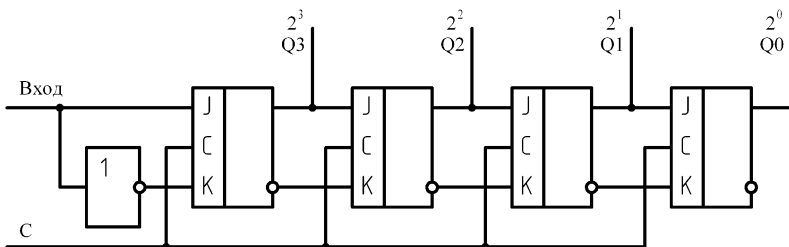


Рис. 1.7.3 – Схема последовательного регистра

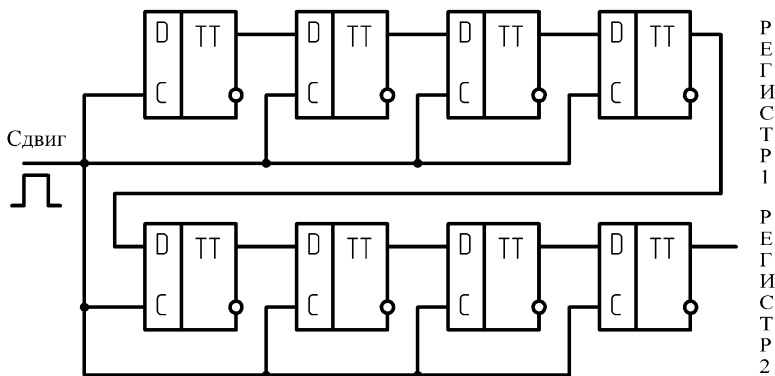


Рис. 1.7.4 – Схема соединения двух последовательных регистров

Табл. 1.7.1.

Вход	Q3	Q2	Q1	Q0
0	0	X	X	X
1	1	0	X	X
1	1	1	0	X
0	1	0	1	1
1	1	0	1	0
0	0	1	0	1
1	1	0	1	0

Запись начинается с младшего разряда, т.е. на входе регистра первым появляется логический 0 (четвертая строка табл. 1.7.1). Одновременно должен появиться тактовый импульс на входе С. Этими сигналами первый триггер переводится в нулевое состояние, причем, его предшествующее состояние не имеет значения.

Следующий сигнал - 1 - появляется на входе регистра одновременно с очередным тактовым импульсом. Состояние первого триггера изменится на единичное, а состояние его выхода в течение предыдущего такта переписывается во второй триггер и т. д. Таким образом, за четыре такта все число будет записано в регистр. Это число может быть выведено из регистра как в параллельном коде (с

прямых выходов триггеров Q0, Q1, Q2, Q3), так и в последовательном (за 4 тактовых импульса). Поэтому последовательный регистр может использоваться для преобразования последовательного кода в параллельный.

**СДВИГАЮЩИЙ РЕГИСТР.** В этом регистре (рис. 1.7.5) при каждом импульсе управления весь код смещается по отношению к цепочке триггеров на одну позицию.

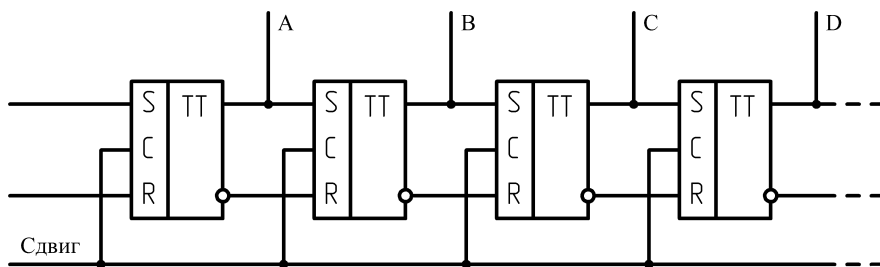


Рис. 1.7.5 – Схема сдвигающего регистра

С помощью этих регистров выполняется операция двоичного умножения, при фиксированном весе триггеров сдвиг в одну сторону эквивалентен умножению числа на 2, в другую - делению на 2.

**СЧЕТЧИКИ.** Это одна из разновидностей регистров. В устройствах цифровой обработки информации часто возникает необходимость в подсчете числа импульсов. Это вызвано тем, что обычно при точных измерениях измеряемая величина преобразуется в импульсную последовательность, один из параметров которой содержит информации о ее значении. В дальнейшем эта импульсная последовательность обрабатывается: например, усиливается, делится на определенное целое число, подсчитывается и выводится на табло.

Существует несколько разновидностей счетчиков. В **СУММИРУЮЩЕМ** счетчике каждый импульс на входе увеличивает код хранимого в нем числа на 1. В **ВЫЧИТАЮЩЕМ** счетчике импульсы вычитаются из содержимого счетчика. **РЕВЕРСИВНЫЙ** счетчик объединяет в себе свойства и того, и другого, имея вход

суммирования “+” и вход вычитания “-”.

Счетчик из  $n$  триггеров имеет  $2^n$  устойчивых состояний и может хранить числа от 0 до  $2^n - 1$ . Величину  $m = 2^n$  называют КОЭФФИЦИЕНТОМ ПЕРЕСЧЕТА. Различными способами (например, введением линий обратной связи) некоторые из устойчивых состояний можно запретить. Тогда итоговый коэффициент пересчета станет меньше, чем  $2^n$ . Счетчик, в котором реализуется десять устойчивых состояний, называют ДЕСЯТИЧНЫМ или ДЕКАДОЙ. Несколько включенных друг за другом декад образуют многоразрядный счетчик, работающий в привычной десятичной системе счисления.

Рассмотрим работу двоичного счетчика на JK-триггерах (рис. 1.7.6)

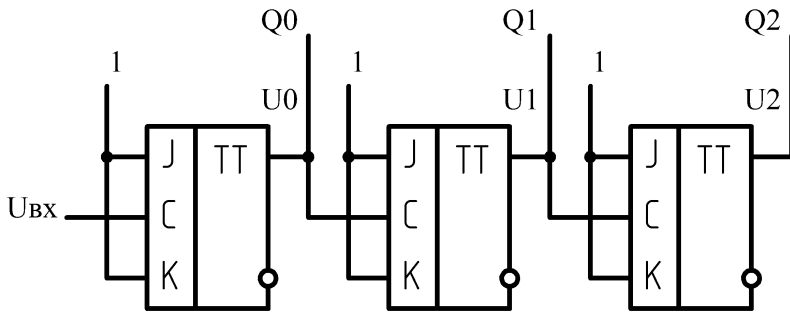


Рисунок 1.7.6 – Схема двоичного счетчика на JK-триггерах

Временные диаграммы работы такого счетчика, рис. 1.7.7.

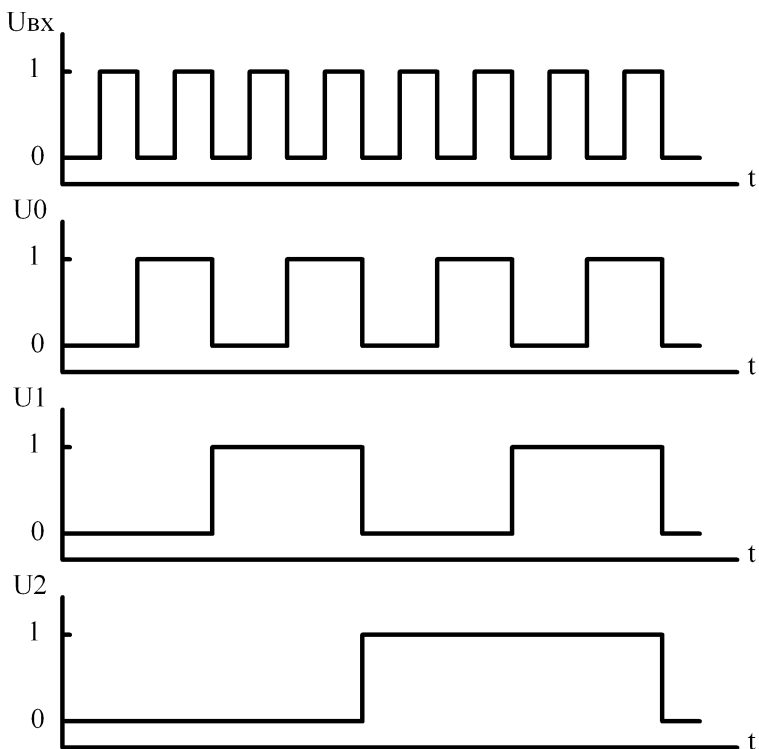


Рисунок 1.7.7 – Временные диаграммы двоичного счетчика на JK-триггерах

На входы J и K триггеров подается логическая 1, а входная импульсная последовательность  $U_{вх}$  поступает на вход синхронизации С первого триггера. В исходном состоянии на выходах  $Q_0, Q_1, Q_2$  - логические 0.

В соответствии с принципом действия JK – триггера, первый импульс записывается в ведущий триггер, а по его окончании логическая 1 появляется на входе С ведомого триггера. Второй импульс изменяет состояние выхода первого триггера на нулевое. В этот момент на выходе второго триггера  $Q_1$  появляется логическая 1. Четвертый импульс во второй раз с начала счета восстановит нулевое состояние выхода первого триггера и в первый раз – второго. При этом

на выходе третьего триггера появится 1. Рассуждая далее, можно доказать, что восьмой импульс восстановит нулевое состояние выходов всех триггеров, т. е. повторит их исходное состояние. Фактически, мы имеем три делителя на 2, включенные последовательно.

Если логические состояния, выходов Q0, Q1, Q2 рассматривать как трехразрядное двоичное число, причем, выход Q0 считать младшим разрядом, то процесс счета импульсов можно представить как последовательное изменение содержимого счетчика в двоичном коде.

Десятичный счетчик можно построить на основе четырех триггеров (рис. 1.7.8).

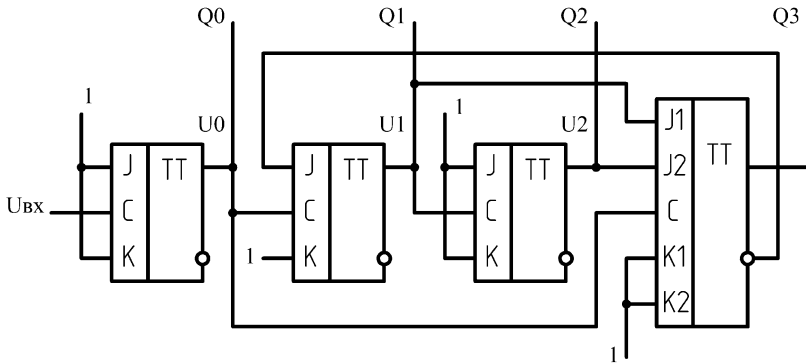


Рисунок 1.7.8 – Десятичный счетчик на четырех JK-триггеров

Да восьмого импульса счет идет так же, как в трехразрядном счетчике. В момент окончания восьмого импульса, первые три триггера, на выходах которых 1, переводятся в нулевое состояние, а четвёртый, на входах которого J1, J2 и C - 1, в единичное. На входе J второго триггера устанавливается 0, т.к.  $\bar{Q} = 0$ , а на входе K - 1. Поэтому его состояние остается нулевым, несмотря на воздействие на вход C выходного импульса первого триггера. Логический 0 на входе C третьего триггера оставит его в нулевом состоянии даже при J = K = 1. На входах четвертого триггера в это время K1 = K2 = 1 и J1 = J2 =

0. Поэтому в момент окончания десятого импульса с выхода Q0 четвертый триггер переключится в нулевое состояние.

Таким образом, все четыре триггера оказываются в нулевом состоянии с момента окончания десятого импульса. Счет повторится с 11 импульса.



## РАЗДЕЛ 2. УСТАНОВКА ДЛЯ ИЗУЧЕНИЯ ЛОГИЧЕСКИХ СХЕМ.

Лабораторный практикум по логическим схемам проводится на базе установки УМ11. Установка выполнена с применением элементов интегрального комплекса 155 серии. Напряжение питания элементов +5В; логические уровни:

" 1 " не менее +2,4 В

" 0 " не более +0,4 В

Установка УМ11 выполнена в настольном варианте и состоит из корпуса с блоком питания и лицевой панели. В задней стенке корпуса имеется тумблер включения в сеть, при включении которого в верхнем правом углу лицевой панели загорается индикатор сети. Внутри корпуса содержится набор элементов серии 155. Каждому элементу набора соответствует условное графическое обозначение на лицевой панели. Входы и выходы элементов выведены на гнезда рядом с обозначением. Коммутация элементов осуществляется специальными соединительными проводами. Эти провода выполняются или одинарными, или двойными, последние применяются для расширения входа или выхода элемента из одного в два. Если необходимо большее расширение входов, можно использовать специальные клеммы, соединенные вместе, с 1 по 4 и с 5 по 8, расположенные в правом верхнем углу панели. Установка содержит наборы элементов двух типов - комбинационные и последовательные. Первые располагаются в верхней части панели и выделены синим цветом, вторые - в нижней, и имеют красный цвет. В самом низу расположен тумблерный регистр для задания логических уровней 8 разрядов. Над тумблером расположены гнезда, с которых снимается сигнал, логический "0" или "1", в зависимости от положения тумблера. С этих гнезд подается соответствующий сигнал на входы схем. Для индикации состояния выхода той или иной схемы служат светодиодные индикаторы, расположенные также внизу. Сигнал на них подается с гнезда, расположенного над индикатором.

При работе с логическими элементами необходимо помнить, что число неиспользуемых входов задействованного элемента не должно превышать двух, в этом случае наличие незадействованного входа в

элементе типа "И-НЕ" равносильно подаче на него "1". Неиспользуемые входы схем "И-НЕ" можно подключать к источнику "+5 В" через сопротивление 1 кОм. Для этого на панели предусмотрены гнезда "+". К каждому гнезду "+" может быть подключено не более 20 входов логических элементов. Кроме того они могут быть подключены к выходам неиспользуемых инверторов "И-НЕ", входы которых заземлены.

В схемах типа "И-ИЛИ-НЕ" неиспользуемые входы необходимо заземлять. Для этого на панели предусмотрены гнезда с нулевым потенциалом.

Для проверки работы логических схем предусмотрена задающая часть, расположенная слева. Она выделена черным цветом и включает в себя генератор синхроимпульсов, генератор одиночных импульсов и элемент задержки. Генератор синхроимпульсов включает в себя задающий генератор импульсов частотой 1МГц и делитель частоты, обеспечивавший получение двух серий импульсов частотой 500 кГц: основной серии (СИ1) и задержанной относительно основной на половину периода (СИ2). К каждому выходу синхрогенератора можно подключить до 30 входов различных элементов. Генератор одиночных импульсов является синхронизированным. Он вырабатывает одиночный импульс при нажатии одиночной кнопки "Пуск" при условии наличия синхроимпульсов отрицательной полярности на гнезде "Вход". С помощью элемента задержки можно получить на выходе импульсы той же полярности, что и поданные на вход, но задержанные относительно их на величину, соответствующую положению переключателя. Нагрузочная способность выхода - 10.

Часть микросхем имеет на выходе транзистор, выход коллектора и эмиттера которого маркируется буквами "К" и "Э" соответственно. На базу которого подается сигнал с элемента, а для повышения нагрузочной способности элемента транзистор должен включаться по схеме с общим эмиттером. Для этого эмиттер подключают к гнезду "⊥", а коллектор соединяют с гнездом "+", сигнал снимают с этого же электрода с помощью двойного провода.

Два удобства подключения внешних приборов предусмотрена

плата переходных клемм - "Осциллограф".

При работе с установкой НЕОБХОДИМО СЛЕДИТЬ за правильностью подключения соединительных проводов, особенно при подключении РАСШРИТЕЛЯ К РАСШИРЯЕМОМУ ЭЛЕМЕНТУ. ЗАПРЕЩАЕТСЯ выходы элементов подсоединять к гнездам " + " и "⊥".

## РАЗДЕЛ 3. ЛАБОРАТОРНЫЕ РАБОТЫ

### ЛАБОРАТОРНАЯ РАБОТА 3.1.

#### ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Цель работы: ознакомиться с основными логическими элементами, получить практический навык работы с логикой на основе 155 серии.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или по настоящему пособию (главы с 1.1 по 1.4) с основными положениями булевой алгебры и с понятием логического элемента.

Задания к лабораторной работе.

**ЗАДАНИЕ 1.** По разделу 2 настоящего пособия ознакомиться с описанием лабораторного стенда.

Включить лабораторной стенд и практически составить таблицу истинности для одного из элементов, задаваемых преподавателем (3, 4 или 8, 9) Назвать этот элемент.

**ЗАДАНИЕ 2.** Составить из элементов И - НЕ логические схемы, работающие как элементы НЕ, И, ИЛИ, тем самым практически доказать, что элемент И-НЕ составляет функционально полную группу.

**ЗАДАНИЕ 3.** Теоретически составить таблицу истинности для элемента, заданного преподавателем (2И-2И-ИЛИ-НЕ; 4И-НЕ; 2И-НЕ-2И-ИЛИ-НЕ; 2И- 2И-ИЛИ). Нарисовать его обозначение

**ЗАДАНИЕ 4.** По составленной таблице истинности из задания 3 найти элемент или комбинацию элементов на лицевой панели лабораторного стенда. По указанию преподавателя провести взаимную проверку составленных таблиц истинности различными бригадами практически, с помощью лабораторного стенда.

## СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Условное обозначение элемента и его таблицу истинности по заданию 1.
2. Логические схемы реализующие операция НЕ, И, ИЛИ на базе элемента И-НЕ.
3. Условные обозначения и таблицы истинности своего и проверяемого элемента по задания 3 и 4 .
4. Ответ на пункты 6, 7, 8, 9, 10 по выбору преподавателя.

## ВОПРОСЫ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. В чем разница между формальной и математической логикой?
2. Что такое таблица истинности и булево выражение?
3. Дайте определение аксиом булевой алгебры.
4. Придумайте устройства, реализующие операцию И и ИЛИ на базе следующих наборов элементов:

а) источник света, экран с окнами и шторы, управляемые вручную;

б) компрессор - источник сжатого воздуха, система трубопроводов и клапаны, управляемые вручную;

в) то же, что и в п. б, но клапаны, управляемые от другого компрессора;

С помощью каких из перечисленных наборов невозможно реализовать логический элемент и почему?

5. С помощью реле составьте схему, реализующую операции И-НЕ, ИЛИ-НЕ.

6. Постройте таблицу истинности для следующих булевых выражений

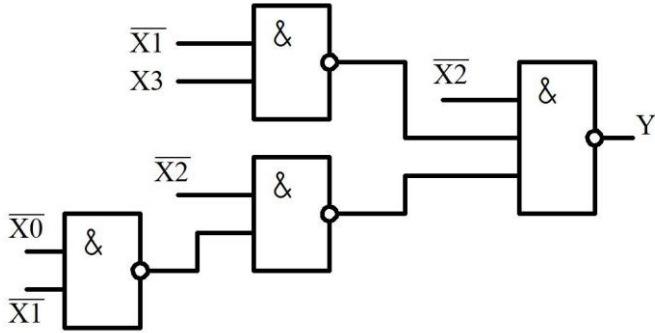
а)  $Y(X_0, X_1, X_2) = \overline{(X_0 \times X_1 + X_2)} + \overline{X_0} \times X_2$

б)  $Y(X_0, X_1, X_2) = (X_0 + \overline{X_1}) \times (\overline{X_0} \times X_2 + X_1)$

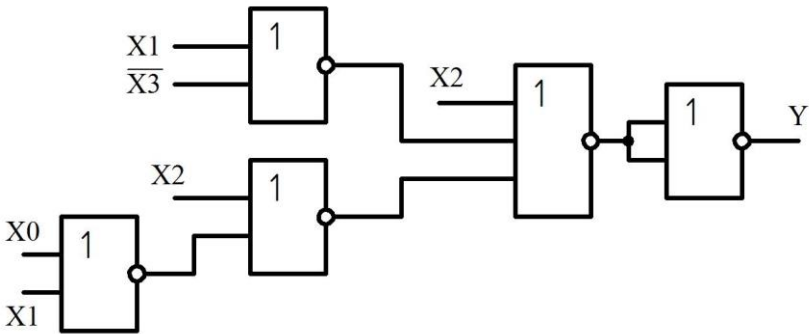
в)  $Y(X_0, X_1, X_2) = \overline{X_0 \times (X_1 \times X_2 + X_0)} + X_0 \times X_1 \times X_2$

7. Составьте по приведенным выше выражениям логические схемы, их реализующие.

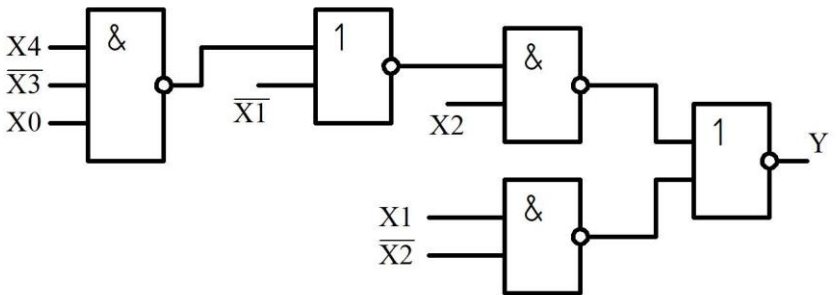
8. Напишите булево выражение и составьте таблицу истинности для следующих логических схем:



a)

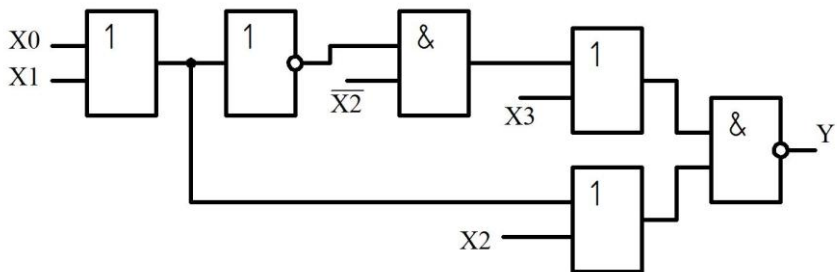


б)

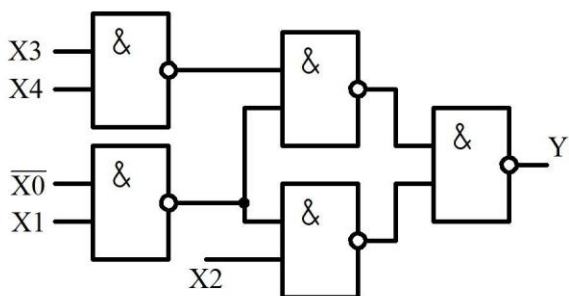


в)

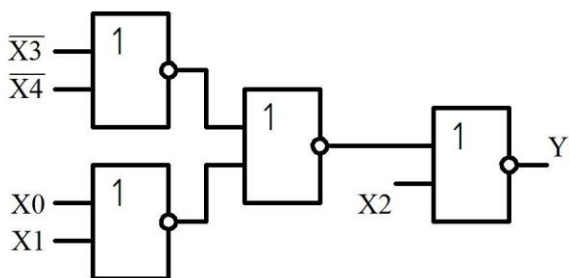
9. Напишите булевы выражения для логических схем:



a)



б)



в)

10. Постройте логические схемы для следующих булевых выражений, используя только логический элемент И-НЕ.

$$Y(X_0, X_1, X_2, X_3) = (X_0 \times X_1 + \overline{X_2}) \times X_3 + \overline{X_1} \times X_2$$

$$Y(X_0, X_1, X_2, X_3) = [(\overline{X_1} + X_2) \times (X_1 + X_3) + \overline{X_2} \times \overline{X_3}] \times (X_1 + X_0)$$

11. Постройте логические схемы для булевых выражений из п. 10 на логических элементах ИЛИ-НЕ.



## ЛАБОРАТОРНАЯ РАБОТА 3.2.

### КОМБИНАЦИОННЫЕ ЛОГИЧЕСКИЕ СХЕМЫ. СУММАТОР.

Цель работы: ознакомиться с принципом действия комбинационных логических схем на основе сумматора. получить практический навык в составлении комбинационных логических схем.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или по настоящему пособию (главы 1.4-1.5, раздел 2) с основными положениями булевой алгебры, понятием комбинационной логической схемы и приемами составления таких схем из отдельных логических элементов.

Задания к лабораторной работе.

**ЗАДАНИЕ 1** Составьте из логических элементов И-НЕ схему ИСКЛЮЧАЮЩЕЕ ИЛИ. Проверить ее работоспособность с помощью лабораторного стенда.

**ЗАДАНИЕ 2.** Составить схему ИСКЛЮЧАЮЩЕЕ ИЛИ на основе логического элемента 2И-2И-ИЛИ-НЕ. Проверить ее работоспособность с помощью лабораторного стенда.

**ПРИМЕЧАНИЕ.** Тумблерный регистр задания входных переменных может одновременно задавать величину  $X$  и  $\bar{X}$  при использовании верхнего и нижнего гнезда одновременно.

**ЗАДАНИЕ 3.** На основе уже собранной схемы ИСКЛЮЧАЮЩЕЕ ИЛИ собрать схему полусумматора и проверить соответствие его работы таблице 1.5.2.

**ЗАДАНИЕ 4.** Составить таблицу истинности для сумматора. Используя схемы полусумматоров составить схему сумматора. Собрать ее и проверить работоспособность.

### СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

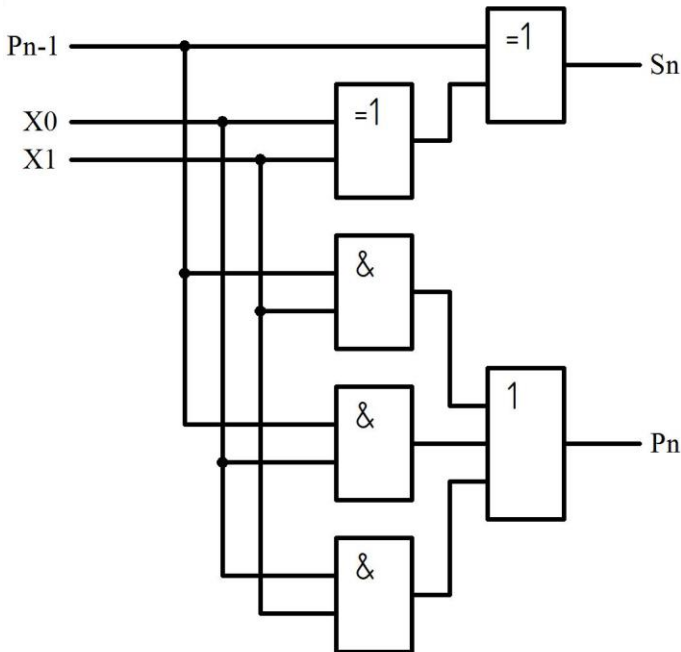
1. Логическую схему ИСКЛЮЧАЮЩЕЕ ИЛИ на основе

элементов И-НЕ и 2И-2И-ИЛИ-НЕ.

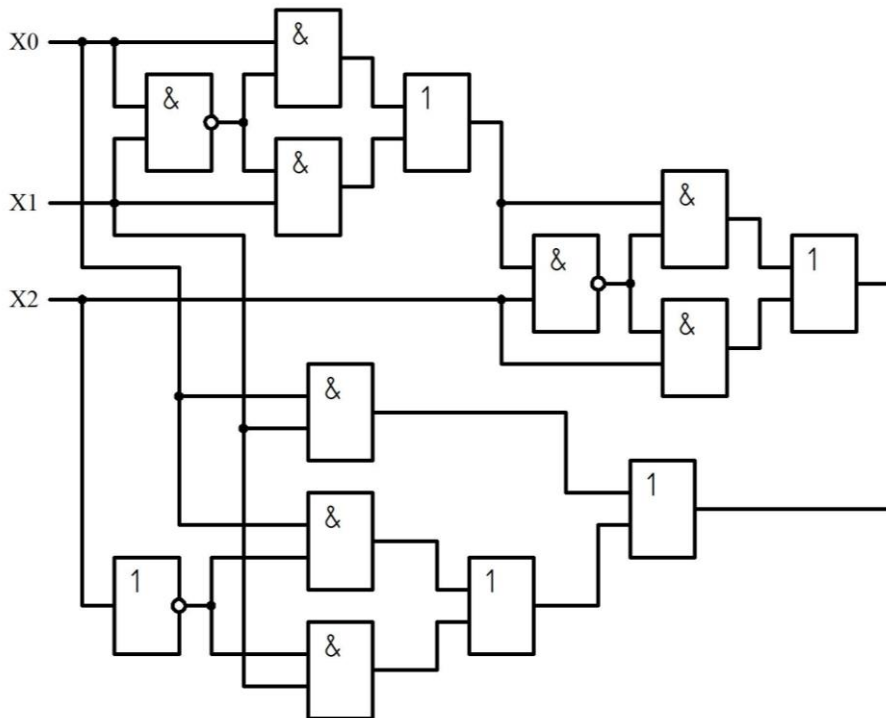
2. Схему полусумматора.
3. Схему сумматора и его таблицу истинности.
4. Ответ на пункт 7.

### ВОПРОСИ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Для каких целей предназначена схема сумматора, в каком блоке вычислительных устройств она используется?
2. В каких случаях при сложении двоичного числа можно обойтись схемой полусумматора?
3. Составьте схему устройства для суммирования четырехразрядных двоичных чисел.
4. Является ли приведенная схема сумматором и если нет, то почему?

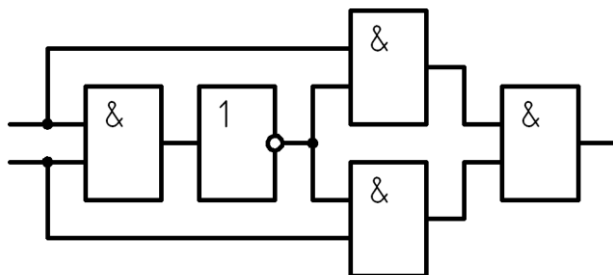


5. По какому алгоритму работает схема?



6. Составьте схему сумматора/вычитателя, т.е. схему, которая по сигналу управления производила бы либо вычитание, либо суммирование.

7. Является ли приведенная схема ИСКЛЮЧАЮЩЕЕ ИЛИ и если нет, то почему, что надо изменить?



## ЛАБОРАТОРНАЯ РАБОТА 3.3.

### КОМБИНАЦИОННЫЕ СХЕМЫ, ШИФРАТОРЫ.

Цель работы: ознакомиться с работой шифраторов и дешифраторов, получить навык практической работы по составлению комбинационных схем и работе с ними,

Перед выполнением работы необходимо повторить материал по системам счисления и кодам, а также ознакомиться по лекциям, учебникам или по настоящему пособию (глава 1.5) с шифраторами и дешифраторами, применяемыми в цифровой технике.

Задания к лабораторной работе.

**ЗАДАНИЕ 1.** Записать одно из заданных преподавателем чисел (от 17 до 31) в двоичной, восьмеричной и шестнадцатеричной системе счисления.

Перевести шестнадцатеричное число D3F в десятичное.

Записать число, заданное преподавателем в десятичной форме (от 101 до 999), в двоичной и двоично-десятичной системе.

**ЗАДАНИЕ 2.** Составить и проверить на лабораторном стенде логическую схему, работающую как ключ - при подаче низкого или высокого уровня на один из входов схемы, информация с другого входа проходит или не проходит на выход схемы.

**ЗАДАНИЕ 3.** Составить и проверить на лабораторном стенде логическую схему шифратора, преобразующего десятичное число в код тетрады (см. гл. 1.5).

**ЗАДАНИЕ 4.** Составить и проверить на лабораторном стенде логическую, схему дешифратора, осуществляющего преобразование двоичной информации в десятичную. Дешифратор должен осуществлять операция "1 из 8", т.е. иметь три входа на которые подается трехразрядное двоичное число (например, 101) и 8 выходов, на одном из которых устанавливается высокий уровень выходного сигнала для соответствующего десятичного числа (в нашем примере на выходе числа 5).

ЗАДАНИЕ 5. Разработать специальный дешифратор, который бы преобразовывал двоично-десятичный код в семисегментный код, т.е. служил бы для использования в системах индикации информации. Предварительно необходимо составить таблицу истинности такого дешифратора. На рис. 3.3.1 приведен семисегментный индикатор со стандартными обозначениями отдельных сегментов.

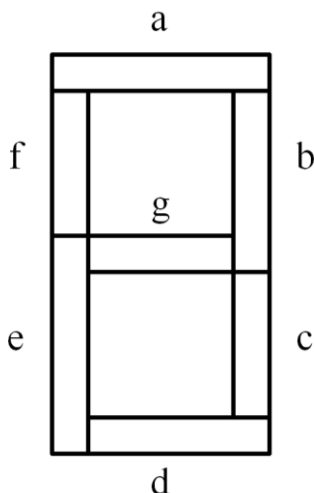


Рисунок 3.3.1

ЗАДАНИЕ 6. На основе логических элементов лабораторного стенда собрать дешифратор кода семисегментного индикатора и проверить соответствие, его функционирования составленной таблице истинности.

### СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Запись чисел по заданию 1 в различных системах счисления.
2. Логические схемы всех реализованных логических схем и таблицы их функционирования (практические).
3. Ответ на пункты 3г, 3д, 5в.

## ВОПРОСЫ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Что такое система счисления?
2. Что такое код числа или устройства?
3. Переведите каждое из следующих чисел в десятичную систему (в скобках дается основание системы счисления данного числа).
  - а) 1101110 (2)
  - б) 3201 (4)
  - в) 1FD,8 (16)
  - г) 4B6,9 (12)
  - д) 1011,1 (2)
4. Представьте число 467 в следующих системах счисления.
  - а) двоичной,
  - б) четверичной,
  - в) восьмеричной,
  - г) шестнадцатеричной.
5. Переведите каждое из следующих двоичных чисел в восьмеричную и шестнадцатеричную системы:
  - а) 1111000010
  - б) 101011111101,1
  - в) 111100101011.110111
  - г) 1010101001
6. Закодируйте десятичное число 473 в двоично-десятичном коде.
7. Составьте булевы выражения в виде суммы произведений для управления семисегментным индикатором по его таблице истинности, считая, что отсутствующие входные комбинации никогда не встречаются.
8. Спроектируйте дешифратор для семисегментного индикатора, который позволял бы выводить 16 различных символов для шестнадцатеричных цифр.
9. Спроектируйте дешифратор "1 из 8", пользуясь только элементом ИЛИ-НЕ.
10. Спроектируйте дешифратор "1 из 4" с линией "разрешение", по которой с помощью управляющего сигнала можно было бы управлять всеми выводами одновременно, подавая на их выходы ноль.

## ЛАБОРАТОРНАЯ РАБОТА 3.4.

### КОМБИНАЦИОННЫЕ СХЕМЫ. МУЛЬТИПЛЕКСОРЫ.

Цель работы: ознакомиться с работой мультиплексоров, демультиплексоров и получить представление об организации магистрали (шины) приобрести практический навык работы с комбинационными логическими схемами.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или настоящему пособию (глава 1.5) с мультиплексорами, демультиплексорами и организацией магистралей в цифровой технике.

Задания к лабораторной работе.

**ЗАДАНИЕ 1.** Составить логическую схему, выполняющую функцию мультиплексора с четырьмя информационными входами на основе схем типа 2И-ИЛИ-НЕ и схем И-НЕ.

**ЗАДАНИЕ 2.** Составьте схему демультиплексора на основе тех же логических схем, выполняющего функцию разделения одного входного информационного сигнала на четыре.

**ЗАДАНИЕ 3.** Соберите одну из схем мультиплексора или демультиплексора по указанию преподавателя (при условии сборки двумя бригадами обеих схем возможно осуществить проверку функционирования устройства в целом). Проверьте ее функционирование.

**ЗАДАНИЕ 4.** Подайте на один из информационных входов импульсную последовательность СИ1 и проверьте с помощью осциллографа ее прохождение при разрешении и непрохождение при запрете по соответствующему адресу входа мультиплексора или выхода демультиплексора. Осциллограммы зарисуйте.

**ЗАДАНИЕ 5.** Подключите к выходу мультиплексора или входу демультиплексора усилительные элементы на основе схем 29, 30 или расширитель по выходу на транзисторе, схемы 3 и 4, соответственно подключив транзистор (см. раздел 2 ) и повторить задание 4.

## СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Схемы мультиплексора и демультиплексора.
2. Таблицы их работы в зависимости от сигнала адреса.
3. Осциллограммы по заданию 4 и 5.
4. Ответ на пункт 3.

## ВОПРОСЫ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Что называется мультиплексором и демультиплексором, каковы их функции?

2. Можно ли собрать схему мультиплексора или демультиплексора на элементах ИСКЛЮЧАЮЩЕЕ ИЛИ, если можно, приведите схему.

3. При объединении двух схем - дешифратора и логических ключей - получаем схему, которая получила название магистрали (или шины), составьте схему такой магистрали на 8 информационных входов.

4. Для чего при задании адреса используют схему с двумя, а не с одним инвертором (см. рис. 1.5.6)?



## ЛАБОРАТОРНАЯ РАБОТА 3.5.

### ПОСЛЕДОВАТЕЛЬНЫЕ ЛОГИЧЕСКИЕ СХЕМЫ. АСИНХРОННЫЙ И СИНХРОННЫЙ RS-ТРИГГЕРЫ.

Цель работы: ознакомиться с работой элемента памяти - триггером, уяснить для себя разницу в работе асинхронного и синхронного триггеров.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или настоящему пособию (глава 1.6) с понятием триггера и схемами его реализации.

Задания к лабораторной работе.

**ЗАДАНИЕ 1.** Составить схему асинхронного RS-триггера на элементах И-НЕ, составить его таблицу истинности и временные диаграммы работы (см. рис. 1.6.3).

**ЗАДАНИЕ 2.** Собрать асинхронный RS-триггер и проверить составленную таблицу истинности и временные диаграмм,

**ЗАДАНИЙ 3.** Составив временную диаграмму работы триггера при подаче на его входы двух импульсных последовательностей СИ1 и СИ2, сдвинутых относительно друг друга на полпериода. Подать на S и R входы импульсы с гнезд СИ1 и СИ2, проверить с помощью осциллографа составленную временную последовательность.

**ЗАДАНИЕ 4.** Убедитесь в работоспособности генератора одиночных импульсов с помощью триггера.

**ЗАДАНИЕ 5.** Составьте схему синхронного RS-триггера на элементах И-НЕ. Составьте его таблицу истинности.

**ЗАДАНИЕ 6.** Соберите схему синхронного RS-триггера и проверьте его функционирование: определите, по переднему или заднему фронту импульса синхронизации происходит переключение триггера.

**ЗАДАНИЕ 7.** Подать на вход R сигнал, равный 0, а на вход S - импульс с генератора одиночных импульсов, при этом на синхровход С:

- а) не подавать сигнал,
- б) подать сигнал с СИ1,
- в) подать сигнал с СИ2.

Синхронизации генератора одиночных импульсов проводить от последовательности СИ1 для всех случаев. Объяснить полученные результаты.

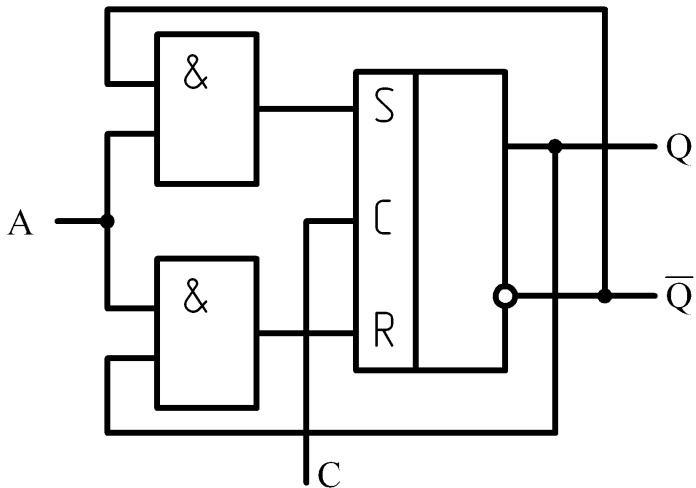
## СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Схемы асинхронных RS-триггеров на элементах И-НЕ, ИЛИ-НЕ и их таблицы истинности.
2. Временную диаграмму по заданию 3.
3. Схему синхронного RS-триггера на элементах И-НЕ и его таблицу истинности (практическую).
4. Временной график работы синхронного RS-триггера.
5. Временной график работы синхронного RS-триггера для всех трех случаев задания 7.
6. Ответ на вопрос 4.

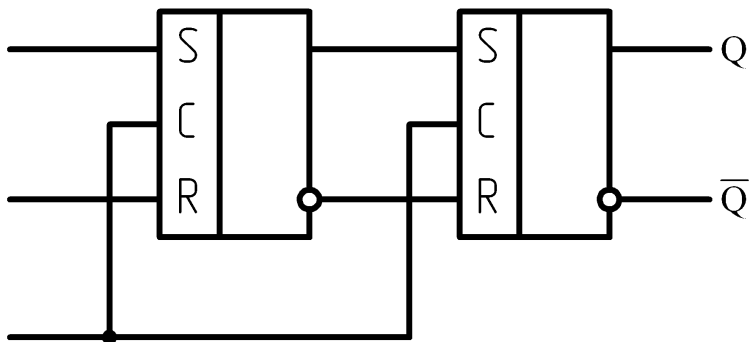
## ВОПРОСЫ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Что называется триггером?
2. Составить схему триггера на биполярных транзисторах.
3. Составить схему синхронного RS-триггера на элементах ИЛИ-НЕ.
4. Составьте RS триггер из элементов 2И-2И-ИЛИ-НЕ.
5. Составьте таблицу истинности следующей схемы:



Могут ли в такой схеме (по п.5) возникнуть на выходе колебания сигнала без изменения сигнала на входе?

7. Как будет работать следующая логическая схема?



## ЛАБОРАТОРНАЯ РАБОТА 3.6.

### ОБЫЧНЫЙ И РАСШИРЕННЫЙ D-ТРИГГЕРЫ.

Цель работы: ознакомиться с устройством и работой D-триггера, получить практический навык работы с последовательными логическими схемами.

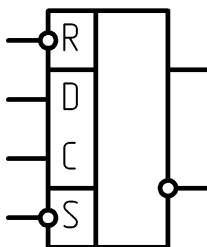
Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или настоящему пособию (глава 1.6) с устройством и принципом работы D-триггеров.

Задания к лабораторной работе.

ЗАДАНИЕ 1. Составить схему D-триггера на основе элементов И-НЕ и собрать ее на стенде, проверив практически соответствие ее работы таблице истинности D-триггера (табл. 1.6.2); выяснить по переднему или заднему фронту синхроимпульса происходит переключение D-триггера.

ЗАДАНИЕ 2. Собрать схему расширенного D-триггера (см. рис. 3.6.1).

ЗАДАНИЕ 3. Поставить в соответствие входы и выходы схемы рис. 3.6.1 (от 1 до 6) с входами и выходами условного обозначения такого триггера:



ЗАДАНИЕ 4. Составить таблицу переходов триггера в зависимости от сигнала на D-входе (при наличии синхроимпульса соответствующей полярности на входе C) и проверить ее практически. Установить по переднему или заднему фронту сигнала синхронизации переключается триггер.

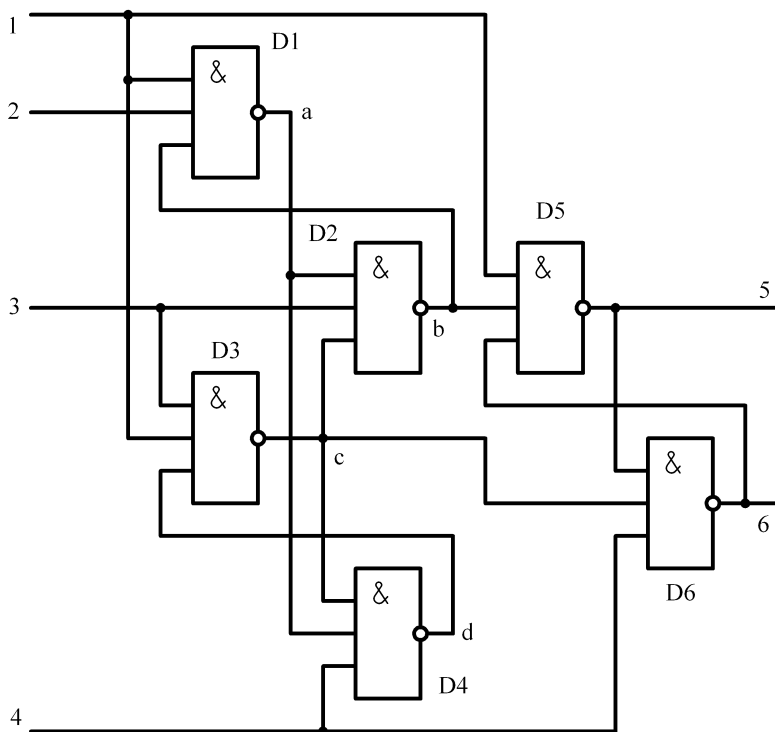


Рисунок 3.6.1

ЗАДАНИЕ 5. Определить синхронными или асинхронными входами триггера являются входы R и S и проверить это практически.

ЗАДАНИЕ 6. Составить таблицу переходов триггера в зависимости от сигналов на R и S выходах и проверить ее практически.

ЗАДАНИЕ 7. Составить временные диаграммы состояния схемы в точках a, b, c, d при подаче на входы R и S логической 1, на вход C и D сигналов в соответствии с рис. 3.6.2.

ЗАДАНИЕ 8. Проверить составленные диаграммы практически.

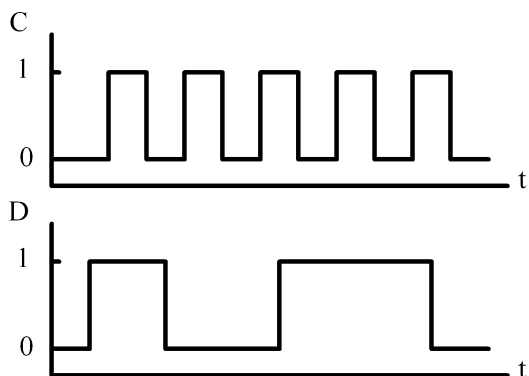


Рисунок 3.6.2

## СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Схему обычного и расширенного D-триггеров и их таблицы истинности.
2. Ответ на задание 3.
3. Временные диаграммы в точках a, b, c, d.
4. Ответ на вопрос 3.

## ВОПРОСЫ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Чем отличается D-триггер от RS-триггера?
2. Можно ли составить D-триггер на основе RS-триггера, пользуясь вместо инвертора схемами:
  - а) ИЛИ,
  - б) ИСКЛЮЧАЮЩЕЕ ИЛИ,
  - в) И,
  - г) комбинацией перечисленных выше схем?
3. Для задания б продолжите временные диаграммы для выходов Q и  $\bar{Q}$ .
4. Какая комбинация входных сигналов по R- и S-входам блокирует действие синхронного входа D?

5. В чем преимущество синхронных входов по сравнению с асинхронными?

6. Почему комбинация  $R = 0$   $S = 0$  является запрещенной в данном триггере?

7. Нарисуйте временную диаграмму на выходе  $Q$  при подаче на вход  $S$  импульсной последовательности, а на вход  $D$  сигнала с выхода  $\bar{Q}$ .

8. Каким образом хранится информация в D-триггере.

## ЛАБОРАТОРНАЯ РАБОТА 3.7.

### ДВУХТАКТНЫЕ, MS - ТРИГГЕРЫ, СЧЕТНЫЕ, Т – ТРИГГЕРЫ.

Цель работы: ознакомиться с работой двухтактных схем и организацией счетных входов в двухтактных триггерах, приобрести практический навык работы с двухтактными триггерами.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или настоящему пособию (глава 1.6) с работой двухтактных триггеров.

#### Задания к лабораторной работе

**ЗАДАНИЕ 1.** На основе двух D-триггеров (элементы с 5 по 10 линейки триггеров) составить MS-триггер и проверить его работоспособность.

**ЗАДАНИЕ 2.** Снять временную диаграмму работы MS-триггера по выходу ведомого и ведущего триггеров при подаче сигналов по D и C - входам.

**ЗАДАНИЕ 3.** Составить схему счетного T-триггера из двухтактного D-триггера и проверить его функционирование с помощью задания сигналов с тумблерного регистра, а затем подачи сигналов импульсной последовательности СИ1 и подключения осциллографа на выходе T-триггера.

**ЗАДАНИЕ 4.** Соберите схему по рис. 3.7.1. Это схема двухфазного MS-триггера. Проанализируйте его работу при подаче на его входы С1 и С2 двух синхроимпульсов, сдвинутых относительно друг друга.



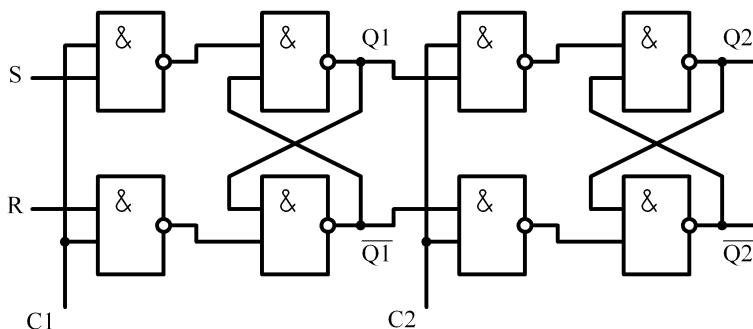


Рисунок 3.7.1

**ЗАДАНИЕ 5.** Проверить функционирование схемы и снять временные диаграммы с выходов Q1 и Q2 при следующих условиях:

а) подать на C1 и C2 синхроимпульсы с выходов СИ1 и СИ2, на выходы S и R сигналы с тумблерного регистра;

б) подать на входы C1 – СИ1, C2 – СИ2, на один из входов S или R постоянный сигнал, а на другой вход - одиночный импульс от генератора, синхронизированный от СИ1, а затем от СИ2, затем поменять входные сигналы, перебрав все разрешенные состояния;

в) с помощью генератор одиночных импульсов и линии задержки исследовать работу схемы при сдвинутых во времени входных сигналах, предварительно определив запрещенные состояния входов и исключив их из процедуры проведения опытов;

г) проверить функционирование схемы при разных временных задержках по синхроимпульсам на входах C1 и C2.

### СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Схемы всех исследуемых триггеров.
2. Таблицу истинности по заданию 1.
3. Временные диаграммы по заданию 2 и 3.
4. Таблицы состояния выходов Q1 и Q2 по всем пунктам задания 5 и временные диаграммы на этих выходах.
5. Ответ на пункт 5.

## ВОПРОСИ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Что такое MS-триггер, какие у него преимущества или недостатки по сравнению с обычными одноктактными триггерами?
2. Что такое T-триггер, основное его предназначение, может ли T-триггер использоваться как элемент памяти?
3. Добавив необходимые вентили, преобразуйте двухтактный T-триггер в D-триггер.
4. Аналогично выше приведенному заданию преобразуйте T-триггер в JK- и RS-триггеры.
5. В чем преимущества и недостатки использования двухфазного и обычного (с инвертором) MS-триггеров?
6. Можно ли сконструировать двухтактный триггер на основе двух разных триггеров, а именно RS- и D-триггеров?
7. Можно ли организовать счетный T-триггер на основе асинхронных RS-триггеров?

## ЛАБОРАТОРНАЯ РАБОТА 3.8.

### УНИВЕРСАЛЬНЫЙ JK-ТРИГГЕР.

Цель работы: ознакомиться с работой и возможностями JK-триггера, получить практический навык работы с JK-триггерами.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или настоящему пособию (глава 1.6) с устройством и работой JK-триггера.

Задания к лабораторной работе.

ЗАДАНИЕ 1. По рис. 3.8.1 составить из логических элементов схему JK-триггера, соответствующую схеме К155ТВ1 (обозначение рис. 3.8.2).

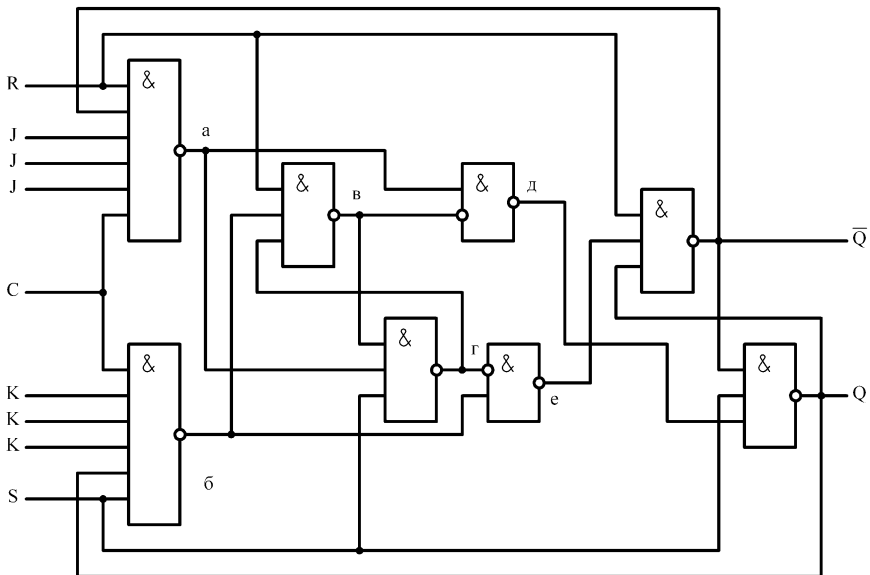


Рисунок 3.8.1

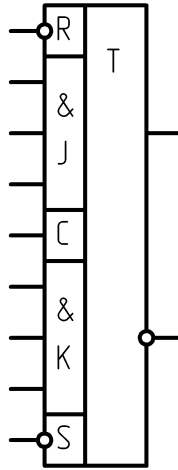


Рисунок 3.8.2

ЗАДАНИЕ 2. Для точек а, б, в, г, д, е, Q,  $\bar{Q}$  составьте временные графики работы триггера в JK-режиме, при подаче на входы J, K и C заданной последовательности импульсов (рис. 3.8.3)

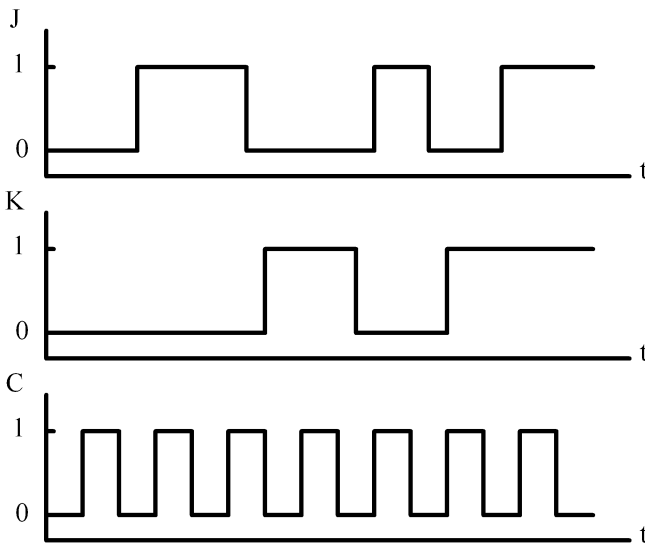


Рисунок 3.8.3.

При совпадении фронта синхроимпульса и импульса по входам J или K рассмотреть оба возможных варианта - фронт СИ приходит раньше или позже.

ЗАДАНИЕ 3. С помощью тумблерного регистра и генераторов СИ1, СИ2, одиночных импульсов, а также схемы задержки, практически проверить построенные временные диаграммы.

ЗАДАНИЕ 4. Организовать из схемы JK-триггера (рис. 3.8.1) счетный T-триггер, для чего подать на входы J и K соответствующие потенциалы. Разобрать работу схемы в этом случае.

ЗАДАНИЕ 5. Снять временную диаграмму работы схемы в точках а, б, в, г, д, е, Q,  $\bar{Q}$  в счетном режиме.

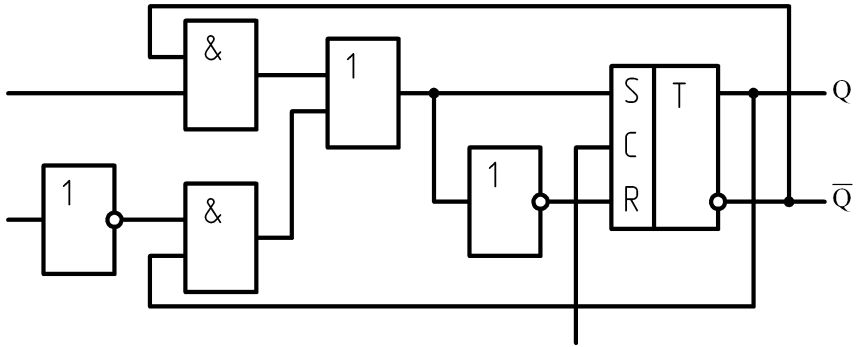
## СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Логические схемы исследуемых JK-триггеров.
2. Временные характеристики работа развернутой схемы JK-триггера.
3. Временные характеристики работы JK-триггера в счетном режиме.
4. Ответ на пункт 7.

## ВОПРОСЫ И ЗАДАНИЙ ДЛЯ САМОПРОВЕРКИ.

1. Чем отличаются друг от друга MS- и JK-триггеры?
2. В чем преимущества JK-триггеров?
3. Получите на основе JK-триггера D-триггер.
4. Можно ли на основе JK- триггера получить RS-триггер?
5. Может ли работать приведенная ниже схема как JK-триггер?



Если может, то где входы J, K и C, если не может, то почему?

6. Докажите вторую часть таблицы 1.6.1.

7. С помощью JK-триггеров и асинхронных RS-триггеров составьте схему, которая бы пропускала через себя 8 синхроимпульсов, а остальные отсекала.

## ЛАБОРАТОРНАЯ РАБОТА 3.9.

### ДВОИЧНЫЕ СЧЕТЧИКИ.

Цель работы: ознакомиться с организацией и работой схем прямого и реверсного счета, получить практический навык работы с двоичными счетными схемами.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или настоящему пособию (глава 1.7) с работой двоичных счетчиков.

#### ЗАДАНИЯ К ЛАБОРАТОРНОЙ РАБОТЕ.

**ЗАДАНИЕ 1.** В JK-триггере объединить оба входа J и K, получив тем самым T-вход, составить таблицу функционирования такого триггера и проверить ее практически. При проверке считать вход С триггера полноправным входом схемы.

**ЗАДАНИЕ 2.** Составить и проверить временную диаграмму работы такого триггера.

**ЗАДАНИЕ 3.** Собрать на T-триггерах и логических элементах синхронный двоичный суммирующий счетчик по схеме рис. 3.9.1. Проверить его функционирование в качестве счетчика импульсов путем подачи сигналов с тумблерного регистра. Установить, может ли работать такая схема в качестве делителя частоты, используя в качестве задающей последовательности импульсов последовательность СИ1, а в качестве анализатора - осциллограф.

**ЗАДАНИЕ 4.** Снять временную диаграмму работы такого счетчик.

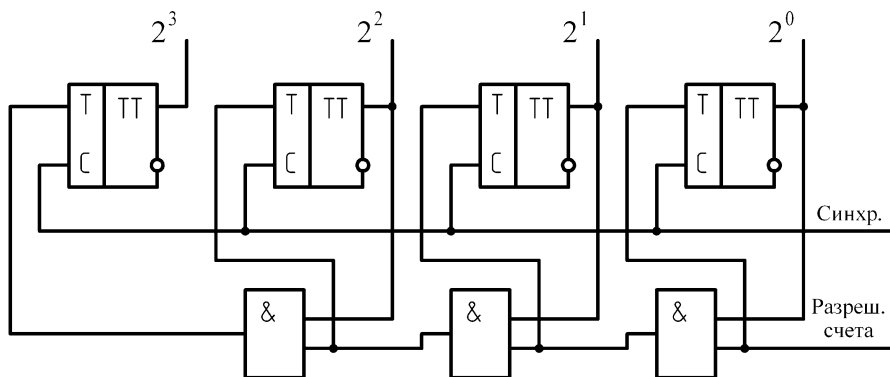


Рисунок 3.9.1

ЗАДАНИЕ 5. Собрать на Т-триггерах параллельный синхронный двоичный суммирующий счетчик по схеме рис. 3.9.2. Проверить его функционирование в качестве счетчика импульсов путем подачи сигналов с тумблерного регистра. Установить, может ли работать такая схема в качестве делителя частоты, используя в качестве задающей последовательности импульсов последовательность СИ1, а в качестве анализатора - осциллограф.

ЗАДАНИЕ 6. Снять временную диаграмму работы такого счетчика.

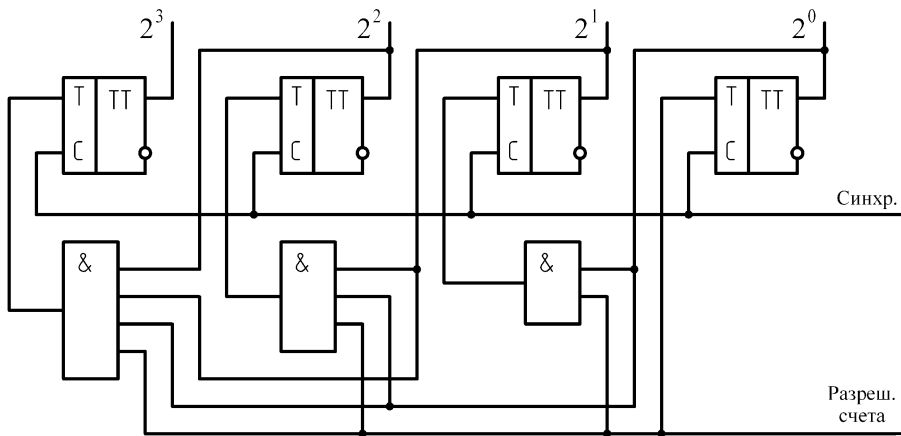
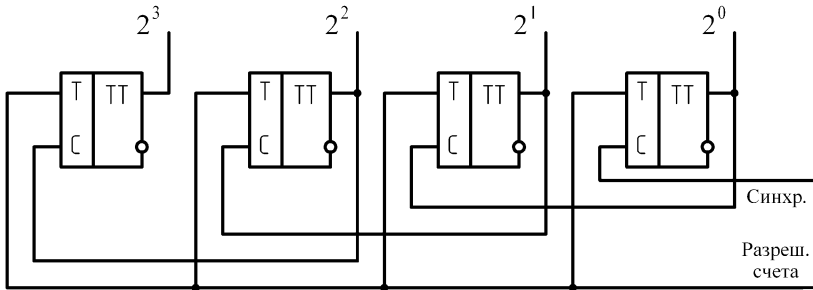


Рисунок 3.9.2.



**ЗАДАНИЕ 7.** Собрать на Т-триггерах асинхронный двоичный суммирующий счетчик по схеме рис. 3.9.3. Проверить его функционирование в качестве счетчика импульсов путем подачи сигналов с тумблерного регистра. Установить, может ли работать такая схема в качестве делителя частоты, используя в качестве задающей последовательности импульсов последовательность СИ 1, а в качестве анализатора – осциллограф.

**ЗАДАНИЕ 8.** Снять, временную диаграмму работы такого счетчика.



### СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Схемы всех используемых устройств.
2. Таблицу истинности Т-триггера.
3. Временные диаграммы работы счетчиков.
4. Ответ на пункт 5.

### ВОПРОСЫ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Что представляет собой двоичный счетчик?
2. Что такое модуль счетчика?
3. Если модуль счетчика  $2^n$ , то какое максимальное число может достигаться в счетчике; после чего он должен снова проходить через 0?
4. В чем разница между, синхронным и асинхронным счетчиками?

5. Образуйте из счетчика по рис. 3.9.1 вычитающий счетчик.
6. Как получить Т-триггер из RS- и JK-триггеров?
7. Образуйте из счетчика по рис. 1.7.6 вычитающий счетчик.
8. Можно ли из D-триггеров образовать двоичные счетчики:
  - а) асинхронный
  - б) синхронный?
9. Образуйте из синхронные RS-триггеров двоичные асинхронные и синхронные счетчики.
10. Может ли схема на рис. 3.9.4 работать как счетчик, и если да, то что это за счетчик?

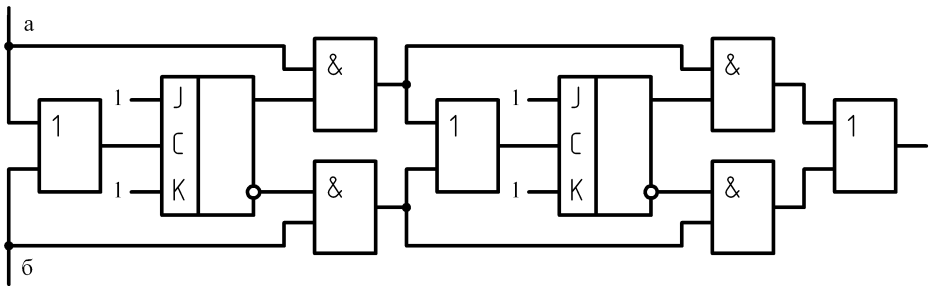


Рисунок 3.9.4.

11. Что будет при подаче сигналов на вход а или б?

## ЛАБОРАТОРНАЯ РАБОТА 3.10.

### РЕГИСТРЫ. РЕГИСТРЫ ПАМЯТИ.

Цель работы: ознакомиться с организацией и работой регистров памяти и схемами их загрузки, получить практический навык работы с регистрами.

Перед выполнением работы необходимо ознакомиться по лекциям, учебникам или настоящему пособию (глава 1.7) с работой регистров памяти.

#### ЗАДАНИЯ К ЛАБОРАТОРНОЙ РАБОТЕ.

**ЗАДАНИЕ 1.** На универсальных D-триггерах собрать трехразрядный параллельный регистр (см. рис. 1.7.1), который бы по своим асинхронным входам R и S производил принудительный сброс или установку триггеров регистра, имел отдельные линии разрешения на запись и считывание информации в регистр и с регистра, а также отдельную линию, по сигналу с которой информация с регистра выдается отдельно на выходы, отображающие хранящуюся в регистре информацию, и на выходы, с которых она считывается.

**ЗАДАНИЕ 2.** Проверить функционирование собранного регистра, записав в него заданное преподавателем число.

**ЗАДАНИЕ 3.** Главная функция запоминающего регистра - прием и выдача информации. Для осуществления передачи данных на регистр существуют специальные **СХЕМЫ ЗАГРУЗКИ**, подключающие входы каждого триггера в регистре к источнику данных.

Разработать и собрать устройство загрузки данных параллельного кода в регистр на JK-триггерах, а затем проверить его функционирование.

## СОДЕРЖАНИЕ ОТЧЕТА.

Отчет должен содержать:

1. Разработанную схему регистра на D-триггерах.
2. Таблицу функционирования регистра по управляющим входам, снятую практически.
3. Схему загрузки регистра на JK-триггерах.
4. Ответ на пункт 7.

## ВОПРОСЫ И ЗАДАНИЯ ДЛЯ САМОПРОВЕРКИ.

1. Почему параллельный регистр называют регистром памяти?
2. От чего зависит длина хранимого в регистре слова?
3. Нужно ли перед записью числа в параллельный регистр производить его предварительную очистку?
4. Можно ли использовать параллельный регистр для преобразования числа из данного кода в дополнительный?
5. Можно ли организовать параллельный регистр на асинхронных триггерах?
6. Составьте схему четырехразрядного регистра памяти на JK-триггерах.
7. Составьте схему загрузки в один регистр памяти на JK-триггерах от двух источников информации.
8. Сконструируйте систему загрузки для запоминающего регистра на T-триггерах.
10. Необходим ли двухтактный триггер для организации:
  - а) запоминающего регистра, для хранения данных, выводимых только на индикатор;
  - б) запоминающего регистра, для хранения вводимых в систему данных;
  - в) запоминающего регистра, для хранения промежуточных результатов?

## СОДЕРЖАНИЕ

### Раздел I. Теоретические положения

Глава 1.1. Логика формальная и математическая

Глава 1.2. Булева алгебра. Основные понятия

Глава 1.3. Логические элементы

Глава 1.4. Комбинационные логические схемы

Глава 1.5. Сумматоры. Шифраторы. Мультиплексоры

Глава 1.6. Последовательностные логические схемы

Глава 1.7. Регистры. Счетчики

### Раздел II. Установка для изучения логических схем

### Раздел III. Лабораторные работы

Лабораторная работа 3.1. Логические элементы

Лабораторная работа 3.2. Комбинационные логические схемы.

Сумматор.

Лабораторная работа 3.3. Комбинационные схемы. Шифраторы

Лабораторная работа 3.4. Комбинационные схемы. Мультиплексоры

Лабораторная работа 3.5. Последовательностные логические схемы.

Асинхронный и синхронный RS-триггеры

Лабораторная работа 3.6. Обычный и расширенный D-триггеры

Лабораторная работа 3.7. Двухтактные. RS-триггеры. Счетные.

T-триггеры.

Лабораторная работа 3.8. Универсальный JK-триггер

Лабораторная работа 3.9. Двоичные счетчики

Лабораторная работа 3.10. Регистры. Регистры памяти

---

Подписано в печать 7.12.13 г.

Формат 60×84/8

Бумага офсетная

Печать ризографическая

Уч.-изд.л. 5,0

Уч.-изд.л. 5,0

Тираж 100 экз.

Заказ 2412

Издательско-полиграфический центр

Филиал ФГАОУ ВПО «Казанский (Приволжский) федеральный университет»  
в г. Набережные Челны

---

423810, г. Набережные Челны, Новый город, проспект Мира, 68/19  
тел./факс (8552)39-65-99 e-mail: ic@ineka.ru